

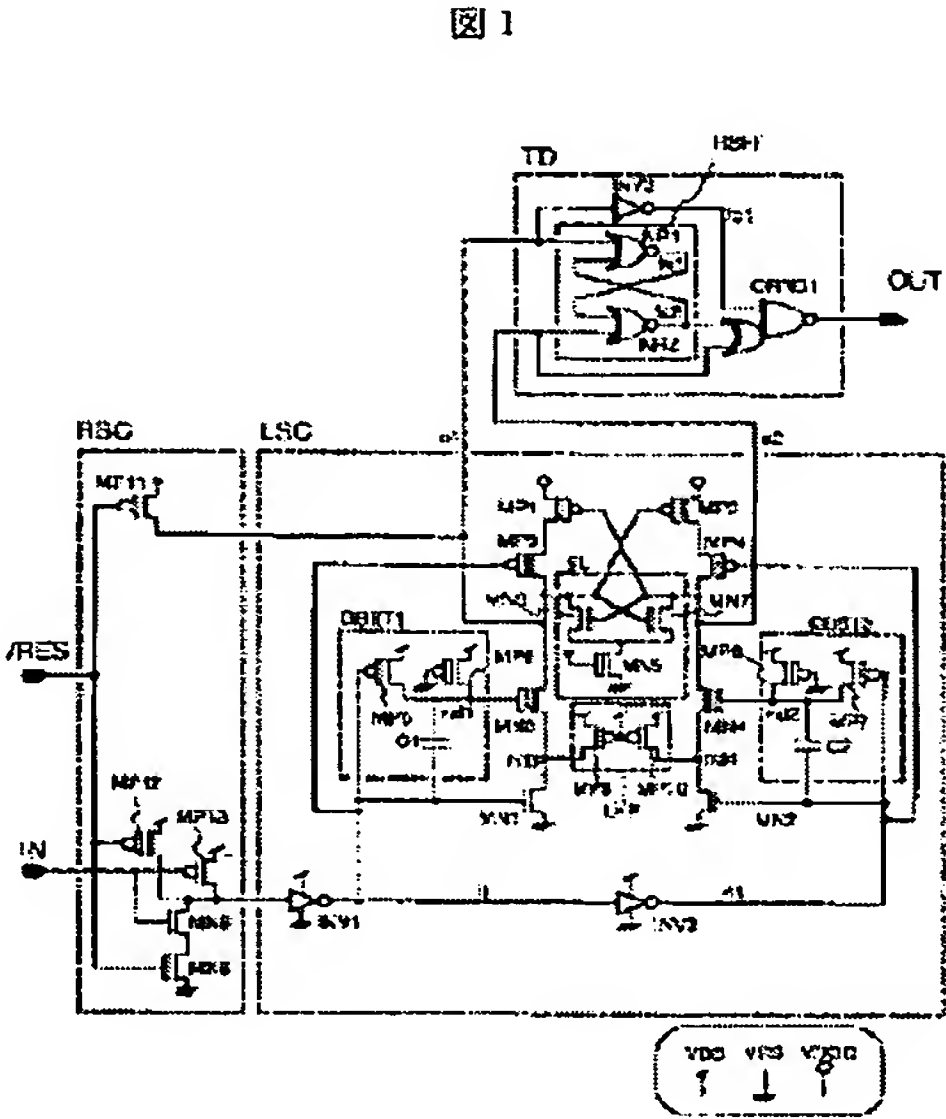
SEMICONDUCTOR DEVICE

Patent number: JP2003152096
Publication date: 2003-05-23
Inventor: SUGANO YUSUKE; MIZUNO HIROYUKI; YANAGISAWA KAZUMASA
Applicant: HITACHI LTD
Classification:
- international: H03K3/356; H03K19/0185; H03K3/00; H03K19/0185; (IPC1-7): H01L21/8234; H01L21/82; H01L21/822; H01L27/04; H01L27/088; H03K19/0185
- european: H03K3/356G2; H03K19/0185B4
Application number: JP20020165059 20020606
Priority number(s): JP20020165059 20020606; JP20010262659 20010831

Also published as:
US6700429 (B2)
US2003042965 (A1)

Report a data error here

Abstract of JP2003152096
PROBLEM TO BE SOLVED: To provide a circuit which converts a signal level fast even when an amplitude difference of level conversion is large. SOLUTION: A semiconductor device includes a differential level converting circuit which receives a 1st signal and outputs a 2nd signal having a larger amplitude. The differential level converting circuit has a 1st MISFET couple (MN1-2) for receiving the 1st signal, a 2nd MISFET couple (MN3-4) for dielectric strength relaxation for the 1st MISFET couple, and a 3rd MISFET couple (MP1-2) which latch the 2nd signal to be outputted and has cross-coupled gates. The film thickness of the gate insulating films of the 2nd and 3rd MISFET couples is made larger than that of the 1st MISFET couple, and the threshold voltages of the 2nd and 1st MISFET couples are made smaller than that of the 3rd MISFET couple. Consequently, even when the amplitude difference of the level conversion is ≥ 4 times, or larger, high-speed level conversion can be performed.



(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L	21/8234	H 0 1 L 27/08	1 0 2 J 5 F 0 3 8
	21/82		P 5 F 0 4 8
	21/822	H 0 3 K 19/00	1 0 1 E 5 F 0 6 4
	27/04	H 0 1 L 27/04	A 5 J 0 5 6
	27/088		1 0 2 C
審査請求 未請求 請求項の数21 O L (全 25 頁) 最終頁に続く			

(21) 出願番号 特願2002-165059 (P2002-165059)

(22) 出願日 平成14年6月6日 (2002.6.6)

(31) 優先権主張番号 特願2001-262659 (P2001-262659)

(32) 優先日 平成13年8月31日 (2001.8.31)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 菅野 雄介

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 水野 弘之

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 謙夫

最終頁に続く

(54) 【発明の名称】 半導体装置

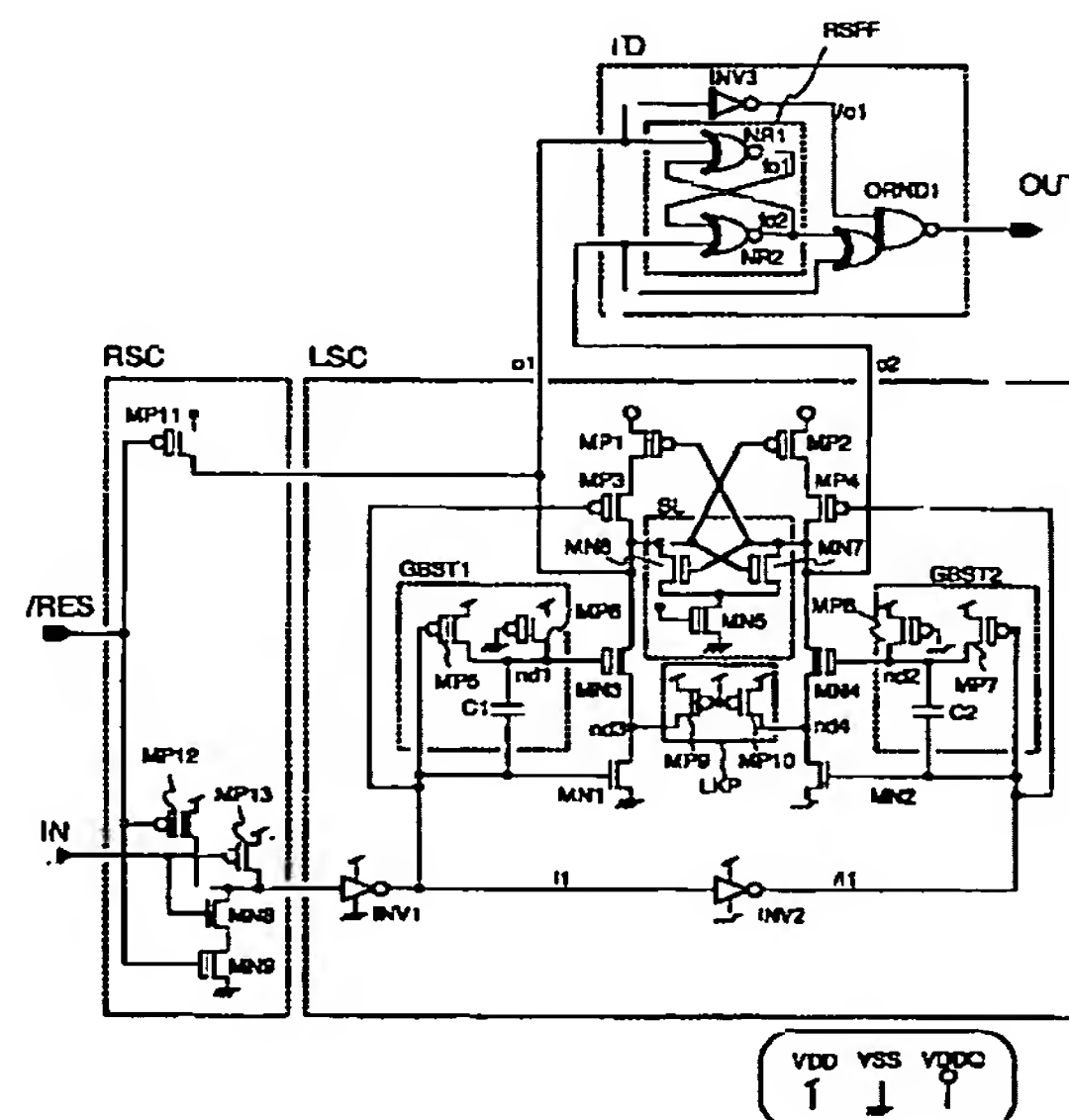
(57) 【要約】

【課題】レベル変換の振幅差が大きい場合にも高速に信号レベルを変換する回路を提供することを目的とする。

【解決手段】第1信号を受けて、それよりも大きな振幅の第2信号を出力する差動型レベル変換回路を含む半導体装置であって、前記差動型レベル変換回路は、前記第1信号を受けるための第1MISFET対(MN1-2)と、前記第1MISFET対に対する耐圧緩和のための第2MISFET対(MN3-4)と、出力すべき前記第2信号をラッチするためのものであって、交差結合されたゲートを持つ第3MISFET対(MP1-2)とを有し、前記第2及び第3MISFET対のゲート絶縁膜の膜厚を前記第1MISFET対よりも厚くし、前記第2及び第1MISFET対のしきい値電圧を前記第3MISFET対よりも小さくする。

【効果】レベル変換の振幅差が4倍以上にも大きいような場合でも、高速なレベル変換が行える。

図1



【特許請求の範囲】

【請求項1】第1信号を受けて、前記第1信号よりも大きな振幅の第2信号を出力する差動型レベル変換回路を含む半導体装置であって、

前記差動型レベル変換回路は、

前記第1信号を受けるための第1MISFET対と、
前記第1MISFET対に対する耐圧緩和のための第2MISFET対と、

出力すべき前記第2信号をラッチするためのものであって、交差結合されたゲートを持つ第3MISFET対とを有し、

前記第2MISFET対のゲート絶縁膜の膜厚は、前記第1MISFET対のゲート絶縁膜の膜厚よりも厚く、
前記第3MISFET対のゲート絶縁膜の膜厚は、前記第1MISFET対のゲート絶縁膜の膜厚よりも厚く、
前記第2MISFET対のしきい値電圧の絶対値は、前記第3MISFET対のしきい値電圧の絶対値よりも小さく、

前記第1MISFET対のしきい値電圧の絶対値は、前記第3MISFET対のしきい値電圧の絶対値よりも小さい半導体装置。

【請求項2】請求項1において、前記第2MISFET対の絶縁膜及び前記第3MISFET対の絶縁膜は同じ第1工程で形成され、前記第1MISFET対の絶縁膜は他の第2工程で形成される半導体装置。

【請求項3】請求項1において、
前記第1信号は、第1電位をロウレベルとし第2電位をハイレベルとする信号であって、

前記差動型レベル変換回路は、

前記第1信号を受けて、前記第2電位よりも高い電位の第3信号を形成して前記第2MISFET対の一方のMISFETのゲートに供給する第1昇圧回路と、

前記第1信号を反転した位相を持つ相補第1信号を受けて、前記第2電位よりも高い電位の第4信号を形成して前記第2MISFET対の他方のMISFETのゲートに供給する第2昇圧回路とを更に有する半導体装置。

【請求項4】請求項1において、前記第2MISFET対は、前記第1MISFET対と前記第3MISFET対の間に挿入されている半導体装置。

【請求項5】請求項1において、前記第1MISFET対のゲート絶縁膜は、2酸化シリコンよりも誘電率の高い高誘電率絶縁膜である半導体装置。

【請求項6】請求項1において、前記差動型レベル変換回路は、第1差動出力及び第2差動出力から前記第2信号を出力し、前記半導体装置は、前記第1及び第2差動出力のうち早く遷移した方の信号を出力するレベル遷移検出回路をさらに有する半導体装置。

【請求項7】請求項6において、前記レベル遷移検出回路は、RSフリップフロップ回路とインバータとORゲートとNANDゲートを含み、

前記第1差動出力が前記RSフリップフロップの第1入力ノードと前記インバータに入力され、

前記第2差動出力が前記RSフリップフロップの第2入力ノードと前記ORゲートの第1入力ノードに入力され、

前記RSフリップフロップの出力が前記ORゲートの第2入力ノードに入力され、

前記ORゲートの出力と前記インバータの出力が前記NANDゲートへ入力される半導体装置。

【請求項8】請求項6において、前記レベル遷移検出回路は、RSフリップフロップ回路とNANDゲートとDフリップフロップとを含み、

前記第1差動出力が前記RSフリップフロップの第1入力ノードに入力され、

前記第2差動出力が前記RSフリップフロップの第2入力ノードに入力され、

前記第1差動出力を反転した信号が前記NANDゲートの第1入力ノードに入力され、

前記第2差動出力を反転した信号が前記NANDゲートの第2入力ノードに入力され、

前記NANDゲートの出力がクロックとして前記Dフリップフロップに入力され、

前記RSフリップフロップの出力がデータとして前記Dフリップフロップに入力される半導体装置。

【請求項9】請求項1において、

前記第1信号は、第1電位をロウレベルとし第2電位をハイレベルとする信号であり、

前記第2信号は、前記第1電位をロウレベルとし第3電位をハイレベルとする信号であって、

前記差動型レベル変換回路は、第1差動出力及び第2差動出力から前記第2信号及び前記第2信号を反転した位相を持つ相補第2信号をそれぞれに出力し、

前記半導体装置は、前記第1及び第2差動出力を受けて前記第1電位よりも電位の低い第4電位と前記第3電位との間に振幅を持つ第3信号を出力するための第2レベル変換回路を更に有する半導体装置。

【請求項10】請求項1において、前記第1MISFET対と前記第2MISFET対はN型MISFETであり、前記第3MISFET対はP型MISFETである半導体装置。

【請求項11】第1信号を受けて、前記第1信号よりも大きな第2信号を出力する差動型レベル変換回路を含む半導体装置であって、

前記差動型レベル変換回路は、

前記第1信号を受けるための第1MISFET対と、
前記差動MISFET対に対する耐圧緩和のための第2MISFET対と、

出力すべき前記第2信号をラッチするためのものであって、交差結合されたゲートを持つ第3MISFET対とを有し、

前記第2MISFET対及び第3MISFET対は、前記第1MISFET対よりも耐圧が大きく、
前記第2MISFET対のしきい値電圧の絶対値は前記第3MISFET対のしきい値電圧の絶対値よりも小さく、

前記第1MISFET対のしきい値の絶対値は前記第3MISFET対のしきい値電圧の絶対値よりも小さい半導体装置

【請求項12】第1電位と第2電位との間の振幅を持つ第1信号を受けて、前記第1電位と第3電位との間の振幅を持つ前記第1振幅よりも大きな第2信号を出力するレベル変換回路を含む半導体装置であって、

前記レベル変換回路は、前記第1電位と前記第3電位の間に直列にソースドレイン経路が接続された第1MISFET、第2MISFET、第3MISFET、及び第4MISFETと、前記第1電位と前記第3電位の間に直列にソースドレイン経路が接続された第5MISFET、第6MISFET、第7MISFET、及び第8MISFETとを有し、

前記第1及び第3MISFETのゲートには前記第1信号が供給され、

前記第5及び第7MISFETのゲートには前記第1信号を反転した位相を持つ相補第1信号が供給され、

前記第4MISFETのゲートは前記第7MISFETのドレインに結合され、

前記第8MISFETのゲートは前記第3MISFETのドレインに結合され、

前記第3MISFETのドレインは前記第2信号を出力する第1差動出力であり、

前記第7MISFETのドレインは前記第2信号を反転した位相を持つ相補第2信号を出力する第2差動出力であり、

前記第1及び第5MISFETのそれぞれは、第1導電型で第1膜厚のゲート絶縁膜を持ち、

前記第3、第4、第7、及び第8MISFETのそれぞれは、第2導電型で前記第1膜厚よりも厚い膜厚のゲート絶縁膜を有し、

前記第2及び第6MISFETのそれぞれは、前記第1膜厚よりも厚い膜厚のゲート絶縁膜を有し、かつ前記第3、第4、第7、及び第8MISFETのしきい値電圧の絶対値よりも小さなしきい値電圧の絶対値を有する半導体装置。

【請求項13】請求項12において、前記第2及び第6MISFETのそれぞれは、第1導電型である半導体装置。

【請求項14】請求項12において、前記第1及び第5MISFETのゲート絶縁膜は第1の作成工程で形成され、前記第2から第4、及び第6から第8MISFETのゲート絶縁膜は前記第1の作成工程とは異なった第2の作成工程で形成される半導体装置。

【請求項15】請求項12において、前記レベル変換回路は、ゲートに前記第1信号が供給されソースに前記第2電位が供給されそのドレインが前記第1MISFETのドレインに接続された第9MISFETと、ゲートに前記相補第1信号が供給されソースに前記第2電位が供給されそのドレインが前記第5MISFETのドレインに接続された第10MISFETとを含み、
前記第2MISFETのゲートには前記第1信号が供給され、

前記第6MISFETのゲートには前記相補第1信号が供給される半導体装置。

【請求項16】請求項12において、前記レベル変換回路は、前記第3MISFETのドレイン及び前記第7MISFETのドレインの電位を確定するためののスレーブラッチ回路を更に有する半導体装置。

【請求項17】請求項12において、前記半導体装置は、前記レベル変換回路の前段に設けられたリセット回路を有し、

前記リセット回路は、前記第1信号の元となる信号と制御信号との論理否定積をとった信号を前記第1信号として前記レベル変換回路に供給し、

前記制御信号によってそのゲートが制御され、前記制御信号がリセット状態を示す場合に前記レベル変換回路の前記第1差動出力を所定の前記第3電位に固定するための第11MISFETを有する半導体装置。

【請求項18】請求項12において、前記半導体装置は、前記第1MISFET及び第5MISFETのドレインノードの電位を前記第2電位よりも低い電位に保つためのレベル保持回路を有する半導体装置。

【請求項19】請求項12において、前記半導体装置は、前記第1MISFETのドレインと前記第2電位との間にソースドレイン経路が接続されそのゲートが前記第2電位に接続された第11MISFETと、前記第5MISFETのドレインと前記第2電位との間にソースドレイン経路が接続されそのゲートが前記第2電位に接続された第12MISFETとを含むレベル保持回路を有する半導体装置。

【請求項20】請求項13において、前記第1導電型はN型であり、前記第2導電型はP型である半導体装置。

【請求項21】請求項12において、前記半導体装置は、前記レベル変換回路内に電源遮断用の第1スイッチと、前記レベル遷移検出回路の出力を所定の電位に固定するための第2スイッチを含むリセット回路を有し、
制御信号がリセット状態を示す場合に、前記第1及び第2スイッチが制御されて、前記レベル変換回路と前記遷移検出回路の電源が遮断されるとともに、前記レベル遷移検出回路の出力が所定の電位に固定されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置としては半導体集積回路装置内で信号の振幅を変換するレベル変換回路に関する。

【0002】

【従来の技術】この明細書で参照される文献のリストは以下の通りであり、文献の参照は文献番号をもってすることとする。[文献1]:特開平6-283979、[文献2]:特開2000-163960、[文献3]:特開平9-139663 [文献1]の図4には、ドレインとゲートが交差結合された一对のP型MOSFET(Q7、Q8)と小さな振幅の相補信号をゲートに受ける一对のN型MOSFET(Q11、Q12)を含む従来形のレベル変換回路が記載されている。更に図1には、図4の回路を改良してN型MOSFETを2段積みにして(Q1とQ3、またはQ2とQ4)N型MOSFETの耐圧を確保するレベル変換回路が記載される。

【0003】[文献2]の図4(B)には、2段積みのP型MOSFET(Q31とQ32、またはQ33とQ34)と、2段積みのN型MOSFET(Q35とQ36、またはQ37とQ38)とを含むレベル変換回路が記載される。Q35とQ37のゲートはVPERI電位により一定電圧にバイアスされる。ここでVPERIは変換前の小さな振幅で動作する回路(図4のLOG)の電源電位である。このQ35又はQ37により、Q36又はQ38のドレインソース間に印加される電圧がVPERIに制限される。同様にQ32又はQ34により、Q32又はQ33のドレインソース間に印加される電圧がVDD-VPERI($VDD > VPERI$)に制限される。

【0004】[文献3]の図1にも、[文献2]の図4(B)の回路と同様なレベル変換回路(MOSFET14~17、及び19~22)が記載されている。

【0005】

【発明が解決しようとする課題】本願発明者等は、本願に先立ちシステムLSIについて検討を行った。即ち、最近のシステムLSIにおいては、低消費電力化の要望から内部動作電圧は低下の一途をたどっている。しかし一方で、外部のインターフェースの電圧は様々のLSIとの結合のため従来から用いられている比較的高い標準電圧を用いる必要があるので、変換する信号間の電源電圧差が従来に比べて非常に大きくなってきた。このような状況の元では、従来の高振幅信号の電源電圧用に設計された高耐圧MOSFETのみで構成されたレベル変換回路では、信号の変換が困難となることが解った。本願に先立って発明者らが検討したところ、従来回路では、入力信号がたとえばVDD=0.75Vといった1V以下の低い値になってしまうと、レベル変換回路が動作が困難となることがわかった。もっとも重要な原因は、レベル変換回路のラッチを駆動させる入力用N型MOSFETのしきい値電圧と入力信号の電源電圧の差が小さくなるため、この入力用N型MOSFETの動作が困難になるのである。

【0006】更に、システムLSIにおいて、最も重要な要望は低消費電力化である。この要望を満たすためにはLSIの内部回路の低電圧化が重要である。しかし、LSIの内部回路の動作電圧を低くすると、外部の比較的高い標準電圧との間で信号授受が難しくなる。本発明は、外部の標準電圧を低くすること無く、内部の電圧を1V以下とし、かつ、高速に信号レベルを変換する回路を提供することである。

【0007】また、システムLSIの低消費電力化のために、MOSの基板電位を制御することが広く行われている。しかし、内部制御回路の動作電圧が低くなることでこの制御が難しくなる。本発明は、内部回路の動作電圧が低くなっても基板制御用の大振幅信号に変換できるレベル変換回路を提供することである。

【0008】

【課題を解決するための手段】本発明の代表的な手段の一例を示せば以下の通りである。即ち、耐圧の異なる2種類の酸化膜厚(T_{ox})を持つMOSFETをレベル変換回路に用いる。低振幅信号の入力用MOSFETには低い耐圧の相対的に薄いゲート絶縁膜を持つMOSFETを使用し、耐圧緩和MOSFETには、高い電圧の印加に耐えられる相対的に厚いゲート絶縁膜を持つMOSFETを使用するようにする。ここで耐圧緩和MOSFETは、相対的に低いしきい値電圧とされる。

【0009】さらに、低振幅信号が1V以下のような低い値となっても動作するように、耐圧緩和用MOSのゲートを入力信号で一時的にブーストして、変換を援助する回路GBSTと、耐圧緩和用MOSと入力用薄膜N型MOS間のノードを入力用薄膜N型MOSの耐圧に抑える回路LKPを配置すると良い。また、動作電圧の範囲が広くなると、信号の立ち上がり遅延時間と立下り遅延時間がアンバランスとなる。このアンバランスを回避するために遷移検出回路をつけると良い。

【0010】

【発明の実施の形態】以下、本発明の実施例を図面を用いて詳細に説明する。実施例の各ブロックを構成する回路素子は、特に制限されないが、公知のCMOS(相補型MOSトランジスタ)等の集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。

＜実施例1＞第1図は本発明の具体的な実施例を示す図である。ここで示すレベル変換回路は、信号振幅がたとえば0VからVDD(たとえば0.75V)の間を遷移するような低振幅の信号を、たとえば信号振幅が0VからVDDQ(たとえば3.3V)の間を遷移するような高振幅の信号に変換する。このレベル変換回路は大きく3つの部分で構成される。信号振幅レベルを変換するレベル変換部(LSC)と電源投入時の出力レベルを確定させるリセット部(RSC)、変換後の差動出力のうち早く変換した信号にあわせるレベル遷移検出回路(TD)である。

【0011】この図に示したMOSFETは図2に示したように、ゲート酸化膜の厚さ(T_{ox})とMOSトランジスタのしきい値によって3種類(導電型の違いを含めると6種類)に区別されている。本願の対象とするFET(電界効果型トランジスタ)のゲート絶縁膜は酸化膜(SiO_2 :2酸化シリコン)に限定されるものではないので一般にはMISFET(Metal Insulator Semiconductor Field Effect Transistor)が含まれるが、最も代表的なMOSFET(Metal Oxide Semiconductor Field Effect Transistor)を例に取って説明するため以下MOSと略称で呼ぶことにする。

【0012】図2において、ゲートの記号が細い線で記されているMOSは、ゲート酸化膜の薄いMOSであり、ゲートが四角で記述されているMOSは酸化膜厚(ゲート絶縁膜膜厚)の厚いMOSである。ゲートの酸化膜厚が薄いMOSは、ゲート容量が大きくしきい値電圧が小さいので小型かつ低電圧で高速動作が可能なMOSであり、ゲート酸化膜厚の厚いMOSは高い電源電圧でも使用できる高耐圧MOSである。また、ゲートの下のチャネル部分を黒い四角で書いたものは、しきい値の小さいMOS(以後、低しきい値MOSとよぶ)であり、ゲート下のチャネル部分が黒くないのは標準のしきい値を持ったMOS(以後標準しきい値MOSとよぶ)である。高耐圧のMOSのしきい値電圧はたとえばP型とN型のそれぞれについて $V_{TH1}=0.75V$ であり、高耐圧の低しきい値MOSのしきい値電圧はP型とN型のそれぞれについて $V_{TH2}=0.35V$ であり、薄膜MOSのしきい値電圧はたとえばP型とN型のそれぞれについて $V_{TH3}=0.35V$ に設定される。P型MOSとN型MOSのしきい値電圧は、現実の素子としては所定の作成バラツキを持ってその値が異なるが、設計値としては同じと仮定している。ここで、高耐圧のMOS、及び高耐圧の低しきい値MOSは、P型MOS及びN型MOSの両方が、同一の工程でその酸化膜が形成される。従ってこれらは同じ膜厚の相対的に厚い酸化膜を持つこととなる。高耐圧の低しきい値MOSは、そのチャネル部にイオンインプラントーション(チャネルインプラ)により所定種類で所定の濃度の不純物が導入されることにより、そのしきい値電圧が低くされる。チャネルインプラは、P型MOSとN型MOSのそれぞれについて独立に行われる。高耐圧MOSについてもP型MOSとN型MOSのそれぞれについて所望のしきい値電圧を設定するために通常はチャネルインプラが行われる。一方、薄膜MOSは、厚膜MOSとは別の工程でその酸化膜が形成される。薄膜MOSについても所望のしきい値電圧を設定するために通常はチャネルインプラが行われる。

【0013】図1に戻って、レベル変換部LSCについて述べる。本発明のレベル変換部LSCは、高電圧の印加に耐えられる酸化膜厚の厚いMOSと、低電圧でも高速動作が可能な酸化膜厚の薄いMOSを使い分けて構成することを特徴としている。P型MOS(MP1~MP8)、および、N型MOS

(MN3~MN7)が酸化膜厚の厚いMOSで構成され、P型MOS(MP9、MP10)、および、N型MOS(MN1、MN2)が酸化膜厚の薄いMOSで構成される。レベル変換部は、負荷を形成するP型MOS(MP1、MP2)と、信号レベルを変換する際の電流制御用であるP型MOS(MP3、MP4)と、低振幅の入力信号を受ける入力用N型MOS(MN1、MN2)と、MN1、MN2への最大印加電圧を低く抑えるために設けられた耐圧緩和用N型MOS(MN3、MN4)とで基本的なラッチ構造を形成する。本発明では、この耐圧緩和MOSに低しきい値MOSを使用することが第1の特徴である。更には、入力信号の電源電圧が低い場合でも、信号振幅のレベル変換が可能となるように、その耐圧緩和用N型MOS(MN3、MN4)のゲートを入力信号で昇圧制御する回路(GBST)を有することを第2の特徴としている。これにより、入力信号の電源電圧が低くなっても、オン抵抗を十分に低くすることができる。また、耐圧緩和用N型MOS(MN3、MN4)のリーク電流によって入力用N型MOS(MN1、MN2)のドレイン電圧レベルが高電圧側へ上昇してしまうことを抑えるために、レベル保持回路(LKP)、確定レベル保持回路(SL)をもって構成されている。このレベル変換部は信号振幅がたとえば1V以下のような低振幅入力信号の遷移を受けて、ラッチされている高振幅信号を反転させる機能をもつ。なお、インバータINV1を用いずに構成することもできるが、その場合は、MP11のドレインをo2に接続すればよい。この場合、レベル変換部の相補出力o1、o2と入力INの論理が上述の実施例と異なる以外、基本的な動作は同様である。

【0014】GBSTは、詳しくは後述するが、入力信号がVDDレベルになることを受けて、あらかじめVDDレベルにあったノード(nd1)をVDD+VDに昇圧する機能をもつ。昇圧電圧VDは、基本的には、耐圧緩和のMOSが十分にオンできる値が変換時の所定の期間得られればよい。LKPは薄膜P型MOS(MP9、MP10)で構成され、そのゲートは常時VDDが印加されているため通常はオフしている。これは、耐圧緩和用MOS(MN3、MN4)で生じるリーク電流の影響でノード(nd1、nd2)が入力用N型MOS(MN1、MN2)の耐圧を超えて高くなることを防いでいる。このためノード(nd3、nd4)は、P型MOSのしきい値を V_{TH} とすると、高々、 $VDD+V_{TH}$ 程度にしかない。

【0015】ここで、GBST回路の一実施例の詳細を説明する。GBST1は容量素子C1とプルアップ用P型MOS(MP6)と入力信号に接続されたP型MOS(MP5)で構成されている。この容量素子は、N型MOS等で形成されてもよく、その場合、低しきい値N型MOSを使用することが望ましい。ここで、P型MOS(MP5)はゲートが入力信号でドライブされるので、入力信号がVSSレベル(0V)からVDDレベルへ変化すると、MP5はオフ状態となり、ノードnd1の昇圧レベルが低下してしまうのを防ぐ。MP6はゲートが常にVSSレベルであるので、常にオン状態で使われる。MP6は電源投入時や入力信号が長い間変化しない時に、nd1をV

DDレベルに保つ役目をする。したがって、MP6は必須であるが、MP5は付加することでより高い昇圧電圧が得られる付加的な効果をもたらすものである。MP6、MP5を用いる場合、MP6のゲート幅 W をMP5に比べて小さくすると効果的である。

【0016】図3はレベル変換部の主要ノードの波形図である。この動作波形の期間中において、図1の/RESはハイレベル($V_{DDQ}=3.3V$)に保持されているものとする。まず、入力信号がVSSレベル(0V)にある場合から説明する。このときMP6はゲートが常にVSS(0V)であるためオン状態にありノードnd1はVDDレベルを維持する。時刻T1で入力INがVSSレベル(0V)からハイレベル(VDDたとえば1V)に変化すると、入力用N型MOS(MN1)がオンするとともに、あらかじめVDDレベルにプリチャージされている耐圧緩和用N型MOS(MN3)のゲート(nd1)はVDD+DVに昇圧される。ここでDVは容量素子C1の容量とC1に接続されるMOSの寄生容量等で決まる。耐圧緩和用MOSのゲートがVDD+DVに昇圧されると耐圧緩和用MOSがより強くオンするため、出力ノードo1がVSSレベルに引き下げられる。同時に、耐圧緩和用N型MOS(MN3)と入力用N型MOS(MN1)との間のノードnd3はVDD+VTHのレベルから0Vへ引かれる。この一連の動作と並行して、他方の差動入力対では入力振幅がVDDレベルからVSSレベル(0V)に変化し入力用N型MOS(MN2)がオフする。この変化を受けて、耐圧緩和用N型MOS(MN4)のゲートはVDDレベルにもどる。このとき、容量結合により耐圧緩和用N型MOS(MN4)のゲートは、一瞬VDDレベルより低くなり耐圧緩和用N型MOS(MN4)をより強くオフするとともに、入力用N型MOS(MN2)がオフする。耐圧緩和用N型MOS(MN4)と入力用N型MOS(MN2)がそれぞれオフとなると、ノード(nd4)は高抵抗状態になる。このとき、耐圧緩和用MOSのしきい値が小さいためオフ時のリーク電流が多く、ノードnd4が徐々にVDDQレベルへ上昇してしまう恐れがある。しかし、レベル保持回路(LKP)のPMOSによって最終的にVDD+VTHのレベルを保持するため、入力用の薄膜N型MOSへの最大印加電圧は高々VDD+VTH程度に抑えられる。したがって、入力用N型MOS(MN2)がオフし、差動入力対側のN型MOS(MN1)がオンすることで、出力ノードo2は徐々に高電圧(VDDQたとえば3.3V)レベルになる。

【0017】次に、入力がVDDレベルからVSSレベル(0V)になる場合を説明する。このときMP6はゲートが常にVDDであるためオン状態にありノードnd1はVSSレベルを維持する。時刻T1で入力がVDDレベルからVSSレベルに変化すると、入力用N型MOS(MN2)がオンするとともに、あらかじめVDDレベルにプリチャージされている耐圧緩和用N型MOS(MN4)のゲート(nd2)はVDD+DVに昇圧される。ここでDVは容量素子C2の容量とC2に接続されるMOSの寄生容量等で決まる。耐圧緩和用MOSのゲートがVDD+DVに昇圧されると耐圧緩和用MOSがより強くオンするため、出力ノードo2がVSSレベルに引き下げられる。同時

に、耐圧緩和用N型MOS(MN4)と入力用N型MOS(MN2)との間のノードnd4はVDD+VTHのレベルから0Vへ引かれる。この一連の動作と並行して、他方の差動入力対では入力振幅がVDDレベルからVSSレベル(0V)に変化し入力用N型MOS(MN1)がオフする。この変化を受けて、耐圧緩和用N型MOS(MN3)のゲートはVDDレベルにもどる。このとき、容量結合により耐圧緩和用N型MOS(MN3)のゲートは、一瞬VDDレベルより低くなり耐圧緩和用N型MOS(MN3)をより強くオフするとともに、入力用N型MOS(MN1)がオフする。耐圧緩和用N型MOS(MN3)と入力用N型MOS(MN1)がそれぞれオフとなると、ノード(nd3)は高抵抗状態になる。このとき、耐圧緩和用MOSのしきい値が小さいためオフ時のリーク電流が多く、ノードnd3が徐々にVDDQレベルへ上昇してしまう恐れがある。しかし、レベル保持回路(LKP)のPMOSによって最終的にVDD+VTHのレベルを保持するため、入力用の薄膜N型MOSへの最大印加電圧は高々VDD+VTH程度に抑えられる。したがって、入力用N型MOS(MN1)がオフし、差動入力対側のN型MOS(MN1)がオンすることで、出力ノードo1は徐々に高電圧(VDDQたとえば3.3V)レベルになる。

【0018】本実施例においては、容量素子C1およびC2によって、耐圧緩和用MOS(MN3, MN4)のゲートをブーストすることを特徴としている。そのため、VDD電源がたとえば0.75Vといったように極端に低い場合には、入力波形の傾きがゆるくなってしまうと、十分な昇圧効果が得られない恐れがある。この問題は、入力信号論理合成時に入力信号の最大傾きを考慮しながら設計するか、あるいは、入力段にインバータを一段もしくは数段組み込み入力信号の変化を急峻とさせることによって容易に回避できる。

【0019】このように、本実施例では、耐圧緩和用MOSに低しきい値MOSを用いることで、VDD電源の電圧が1V以下といった低い値に設定されても高速に変換できる効果がある。この低しきい値MOSはシステムLSIにおいてアナログ回路を実現するために必須とされるMOSで代用ができるので、レベル変換回路専用のMOSとして特別に製造される必要がない。そのため、アナログ回路を含むシステムLSIでは、特別にレベル変換回路のためだけに必要なMOSを導入する必要は内ので、プロセスコストを抑えられる効果もある。

【0020】本実施例において、容量C1およびC2をN型MOSで構成する場合、ゲート酸化膜を高誘電率材料(以後High-k材料)で構成すると、同一容量を小さな面積で構成することができる効果がある。High-k材料としては、アルミナ(Al_2O_3)、2酸化ジルコニウム(ZrO_2)、2酸化ハフニウム(HfO_2)等が挙げられる。また、High-k材料を用いたゲート絶縁膜の厚さは、同一容量を実現するSiO₂の酸化膜厚より厚くすることができる。そのため、ゲート電極へのトンネルリーク電流を抑えられる効果がある。さらに、入力用N型MOS(MN1, MN2)のゲート酸化膜をHigh-

k材料でおきかえることも効果的である。なぜなら、入力信号の電圧振幅が低く、かつ、出力信号の電圧振幅が高い場合には、MN1およびMN2をMP1およびMP2に比べて相対的に大きくする必要があるため、ゲート酸化膜厚がある程度薄くなるとゲートリーク電流が顕著になるからである。

【0021】ところで、上記実施例では、耐圧緩和MOSに低しきい値MOSを用いていることが特徴であった。しかし、入力信号の電源電圧が、たとえばVDD=1.2Vのように、それほど小さくない場合には、標準しきい値MOSで耐圧緩和MOSを構成することも可能である。この場合は、新たに低しきい値MOSを導入しなくて良いため、プロセスコストを上昇させない効果がある。

【0022】本願は、入力信号の電源VDDの電圧がたとえば0.75Vというように1V以下の非常に小さい値で、出力の電源VDDQの電圧がたとえば3.3Vという大きい値というように、入力信号の電源電圧と出力信号の電源電圧の差が4倍以上にもなるような場合でも動作させることを目的としている。そのためには負荷を構成するP型MOSの大きさを小さくし、入力用N型MOSを大きくすることが効果的である。しかし、このように負荷を形成するP型MOSと入力用N型MOSの大きさにアンバランスがあると、入力信号電圧と出力信号電圧の条件によっては、レベル変換部における相補出力(o1、o2)の出力波形が図3に示すように立ち上がりと立下りとで大きく異なってしまう場合がある。したがって、このままでは使用電圧範囲が広くなくても、遅い立ち上がり波形に動作速度が律速されてしまい、回路全体の動作が遅くなってしまうおそれがある。そこで、図1に示したように、本願では出力波形を変換の早い波形に追随させるためのレベル遷移検出回路TDを、レベル変換部の差動出力対(o1、o2)に付加していることを更なる特徴とする。

【0023】このレベル遷移検出回路TDはNOR回路NR1、NR2で構成されるフリップ・フロップ(RSFF)とインバータ(INV3)と複合ゲート(ORND1)で構成される。これらの回路は入力部を太い線で描いた記号を用いているが、これは、それぞれの回路を構成するMOSが全て高耐圧MOSで構成されていることを示している。なお、この回路の電源はVDDQ(たとえば3.3V)とVDDQに対応した接地電位VSSQ電源に接続されている。

【0024】各素子の接続を、図1を用いて説明する。RSFFのリセット端子はレベル変換部の出力o1に接続され、セット端子はレベル変換部の出力o2に接続される。このo1はさらにインバータINV3に入力される。RSFFの出力fo2はo2と共に複合ゲートの論理和部に入力され、INV3の出力/o1と複合ゲートの論理和の出力が否定論理積部に入力される。

【0025】図6はTDの動作を説明する動作波形図である。前述したように、本願レベル変換部の差動出力対o1、o2は、変換電圧範囲を広く設定する際に、立ち上が

りが遅く、立下りが早くなる場合がある。このTD回路の基本的な機能は、早く変換される信号、すなわち、この場合は立下り信号を検知して後段に伝える特徴をもつ。差動出力対o1、o2は、立下りが早く立ち上がりが遅いため、同時にVDDQレベルにならない。そのためo1、o2をRSフリップ・フロップ(RSFF)に入力すると、レベル変換したことを記憶するメモリとして動作させられる。このRSFFメモリは動作することが重要でその動作速度は遅く設定してよい。まず、o1がVSSQレベル(0V)からVDDQレベルに遷移し、o2がVDDQレベルからVSSQレベル(0V)に遷移する場合を説明する。出力o2がVSSQレベル(0V)に遷移した状態ではRSFFの出力は変化せず、fo2はVSSQレベル(0V)のまま、fo2はVSSQレベル(0V)のままである。ここで、RSFFの出力(fo2)と、差動入力対の一方(o2)の論理和をとると、o2がVSSQレベル(0V)に変化したことを知ることができる。さらに、差動入力対の他方(o1)側の反転出力/o1との否定論理積をとると、出力はRSFFの出力fo2とo2の論理和が反映されてVDDQレベルになる。その後、o1がVDDQレベルになるとRSFFの出力が変化して、fo2とo2の論理積はVDDQレベルになる。しかしfo2とo2の論理和と/o1の否定論理積は不変である。次にo1がVDDQレベルからVSSQレベルに、o2がVSSQレベルからVDDQレベルに遷移する場合を説明する。出力o1がVSSQレベルに変化すると、反転出力/o1はVDDQレベルになり、fo2とo2の論理和との否定論理和はVSSQレベルになる。その後、o2がVDDQレベルになるとFFの出力が変化するが、fo2とo2の論理和および出力は変化しない。したがって、o2の立ち下りと/o1の立ち上がりで変換時間は決まるのである。このように、波形整形部TDはレベル変換回路の差動出力のうち、早くVSSQレベルとなる信号を検知して、後段に論理が変換したことを伝達できるので、信号の高速伝達が可能となる効果がある。

【0026】なお、レベル変換部LSCから遷移検出回路TDへの入力に際しては、LSCの相補出力のうちo1をNR1およびINV3に、o2をNR2および複合ゲートに入力している例について上述した。しかし、LSCの相補出力のうちo2をNR1およびINV3に、o1をNR2および複合ゲートに入力することも可能である。この場合、出力値が上記実施例と異なる以外、基本的な動作は同じである。

【0027】図7は図1のレベル遷移検出回路TDの変形例を示す図である。この回路は、論理否定和回路(NR3、NR4)で構成されるRSフリップ・フロップ(RSFF)と、インバータINV4、INV5と、論理否定積(ND1)と、クロックトリガ型D-FF(DFF1)とで構成される。レベル変換部からの差動出力対o1、o2はRSFFに入力されるとともにインバータINV4、INV5に入力される。INV4、INV5の出力は、ともにND1に入力される。ND1の出力をDFF1のクロック端子に入力する。一方、RSフリップフロップの出力はDFF1のD端子に入力される。この回路は、レベル変換部の差動出力対の変化でDFF1のトリガを生成し、RSFFに記憶さ

れた値を出力することを特徴とする。

【0028】図8は図7に示したレベル遷移検出回路TDの動作波形図である。まず、o1がVSSQレベルからVDDQレベルに遷移し、o2がVDDQレベルからVSSQレベルに遷移する場合を説明する。レベル変換部の差動出力o1、o2のうち、o2は遷移時間が短く、その結果、o1、o2ともにVSSQレベルとなる。このときRSFFはもとの値、fo3はVSSQレベル、fo4はVDDQレベルを保ち続ける。その後、o1がVSSQレベルからVDDQレベルに遷移するので、この遷移を受けてRSFFの出力は、fo3はVDDQレベル、fo4はVSSQレベルに変化する。このとき、差動出力o1、o2の反転論理が否定論理積ND1に入力されるとND1の出力ndo1は、o1とo2がともにVSSQレベルになる場合のみVSSQレベルとなるので、この信号の立下りエッジは、レベル変換部にてレベルが変換されたことを示すトリガ信号として使用することができる。従って、この信号をDFF1のクロック端子に入力し、RSFFの出力をDFF1のD端子に入力すると、DFF1の出力は、RSFFで記憶されていた状態、この場合はVDDQレベルを出力する。

【0029】一方、o1がVDDQレベルからVSSQレベルに遷移し、o2がVSSQレベルからVDDQレベルに遷移する場合を説明する。このとき、レベル変換部の差動出力o1、o2のうち、o1は遷移時間が短く、その結果、o1、o2ともにVSSQレベルとなる。このときRSFFはもとの値、fo3はVDDQレベル、fo4はVSSQレベルを保ち続ける。その後、o2がVSSQレベルからVDDQレベルに遷移するので、この遷移を受けてRSFFの出力は、fo3はVSSQレベル、fo4はVDDQレベルに変化する。差動出力o1、o2の反転論理が否定論理積ND1に入力されるとND1の出力ndo1は、o1とo2がともにVSSQレベルになる場合のみVSSQレベルとなるので、この信号の立下りエッジは、レベル変換部にてレベルが変換されたことを示すトリガ信号として使用することができる。従って、この信号をDFF1のクロック端子に入力し、RSFFの出力をDFF1のD端子に入力すると、DFF1の出力は、RSFFで記憶されていた状態、この場合はVSSQレベルを出力する。

【0030】なお、レベル変換部LSCから遷移検出回路TDへの入力に際しては、LSCの相補出力のうちo1をNR3およびINV4に、o2をNR4およびINV5に入力している例について上述した。しかし、LSCの相補出力のうちo2をNR3およびINV4に、o1をNR4およびINV5に入力することも可能である。この場合、出力値が上記実施例と異なる以外、基本的な動作は同じである。

【0031】本願のレベル変換回路は、さらに、電源投入時のレベル保持機能をレベル保持部RSCで実現する。電源電圧VDDがVDDQより先に投入される場合は、レベル変換部の入力が確定した状態でレベルシフト部に電源が印加されるので、電源投入時に危惧される定常的な貫通電流は発生しない。一方、VDDQがVDDより先に印加される場合は、レベルシフト部の入力が不定のままラッチの

電源が印加されることになり、VDDが印加されるまで定常的な貫通電流が発生してしまう恐れがある。この状態を避けるため、レベル変換部LSCにはスレーブラッチ(SL)、入力部にはリセット回路(RSC)を設け、貫通電流を防止する。

【0032】まずスレーブラッチSLについて述べる。図1に記したように、レベルシフト部に付加したスレーブラッチSLは、厚膜のN型MOS(MN6, MN7, MN5)で構成される。N型MOS(MN5)はスレーブラッチの電流を絞る目的で設置される。まず、これらのMOSの結線について説明する。MN5のゲートはVDDQ電源に接続され、MN5のドレインはMN6とMN7のソースに接続され、MN5のソースはVSS電源に接続される。MN6のゲートはMP1のゲートとMN7のドレインに接続され、MN7のゲートはMP2のゲートとMN6のドレインに接続される。MN6, MN7のソースはともにMN5のドレインに接続される。

【0033】続いて、リセット部(RSC)について説明する。リセット部はリセット信号/RESにより、レベル変換部への入力を固定するとともに、レベル変換部のラッチをその入力固定値に合わせて固定する機能を持つ。RSCはレベル変換部への入力信号をリセット信号で固定するためのP型MOS(MP12, MP13)とN型MOS(MN8, MN9)で構成されるNAND回路と、この入力値に応じて、ノードo1をVDDQレベルにするためのP型MOS(MP11)で構成される。リセット信号は、レベル変換部を制御するためにVDDQ振幅の信号が必須である。これは、VDD振幅の信号では、MP11のゲートのオン/オフを制御するためにVDDQレベルレベルアップが必要となるからである。したがって、リセット信号(/RES)が入力されるMOSは高耐圧MOSで構成される必要がある。MP12はVDSがVDDと低いと、ここに示したように低しきい値MOSを用いると効果的である。

【0034】リセット信号/RESは、レベル変換回路を動作させない場合にはVSSQレベル(0V)であり、レベル変換回路を動作させる場合にVDDQレベルにされる。/RESがVSSQレベル(0V)であると、P型MOS(MP12, MP13)とN型MOS(MN8, MN9)で構成されるNANDの出力は、INがいかなる値をとってもVDDレベルとなる。このとき、i1および/i1はそれぞれVSSレベル(0V)、VDDレベルとなり、レベル変換部の出力ノードは、o1がVDDQレベル、o2がVSSレベルとなる。このとき、o1がハイレベルになるようにP型MOS(MP11)でo1ノードをVDDQレベルにする。

【0035】さらに、スレーブラッチを形成するN型MOSの対(MN6, MN7)は、ゲート幅Wの大きさをアンバランスにして出力値が必ず決定するようにすることも効果的である。リセット期間には、MP11がオンしてMN6のドレインはVDDQレベルとなるので、MN6のWをMN7のWに比べて小さくすると効果的である。

【0036】このように、本実施例によって、電源投入時に不定値が発生して大量の消費電流が生じることが防げる効果がある。また、本回路を用いることで、電源VD

Dと電源VDDQの投入順序に制限を設けることがないという効果もある。

＜実施例2＞図4はレベル変換回路の別の実施例を示す図である。この図はレベル変換部LSCのみが図1と異なる。本実施例のレベル変換部は、図1と比べて耐圧緩和用MOSのゲートブースト回路が無いことが特徴である。また、入力用N型MOSの耐圧を保証する回路LKPIは、相補の入力信号がそれぞれP型MOSのゲートに接続されて構成されていることをさらに特徴とする。

【0037】このレベル変換部の動作を図5の動作波形図を用いて説明する。この図はレベル変換部の主要ノードの波形図である。まず、入力信号がVSSレベルにある場合から説明する。時刻T1で入力信号がVSSレベル(0V)からVDDレベル(たとえば1V)に変化したことを受けて、耐圧緩和用MOS(MN3)と、入力用MOS(MN1)がオンし、出力ノードo1がVSSレベル(0V)に引き下げられる。このとき、耐圧緩和用MOS(MN3)と入力用MOS(MN1)の間のノードnd5は、P型MOS(MP14)で構成されるレベル保持回路がオフするためVSSレベル(0V)へ引かれる。この一連の動作と並行して、他方の差動入力対では、入力振幅がVDDレベルからVSSレベル(0V)に変化する。この変化を受けて、耐圧緩和用N型MOS(MN4)と、入力用N型MOS(MN2)がオフする。入力用N型MOS(MN2)がオフすることで、耐圧緩和用N型MOS(MN4)と入力用N型MOS(MN2)の間のノード(nd6)は、P型MOS(MP15)で構成されるレベル保持回路がオンするためVDDレベルを保持する。その際、入力用N型MOS(MN2)がオフし、差動入力の対側のN型MOS(MN1)がオンすることで、出力ノードo2は徐々に高電圧VDDQレベル(たとえば3.3V)になる。このとき、耐圧緩和用N型MOS(MN4)のゲートがVSSレベル(0V)、ソースがVDDレベルとなるため耐圧緩和用N型MOS(MN4)のしきい値が低くてもサブスレッショルドリーク電流を少なく抑えられる。

【0038】次に、時刻T2で入力信号がVDDレベルからVSSレベル(たとえば1V)に変化したことを受けて、耐圧緩和用MOS(MN4)と、入力用MOS(MN2)がオンし、出力ノードo2がVSSレベル(0V)に引き下げられる。このとき、耐圧緩和用MOS(MN4)と入力用MOS(MN2)の間のノードnd6は、P型MOS(MP15)で構成されるレベル保持回路がオフするためVSSレベル(0V)へ引かれる。この一連の動作と並行して、他方の差動入力対では、入力振幅がVDDレベルからVSSレベル(0V)に変化する。この変化を受けて、耐圧緩和用N型MOS(MN3)と、入力用N型MOS(MN1)がオフする。入力用N型MOS(MN1)がオフすることで、耐圧緩和用N型MOS(MN3)と入力用N型MOS(MN1)の間のノード(nd5)は、P型MOS(MP14)で構成されるレベル保持回路がオンするためVDDレベルを保持する。その際、入力用N型MOS(MN1)がオフし、差動入力対側のN型MOS(MN2)がオンすることで、出力ノードo1は徐々に高電圧VDDQレベルになる。このとき、耐圧緩和用N型MOS(MN4)のゲートがVSSレ

ベル(0V)、ソースがVDDレベルとなるため耐圧緩和用N型MOS(MN4)のしきい値が低くてもサブスレッショルドリーク電流を少なく抑えられる。

【0039】このように、本実施例のレベル変換部は、入力用N型MOSがオフ状態のとき、耐圧緩和用MOSも十分にオフできるため、スタンバイ時のリーク電流が低く抑えられる効果がある。

【0040】また、第一の実施例では、ゲートブースト回路により、厚膜低しきい値MOSを用いた耐圧緩和MOSのゲートをブーストすることが特徴であった。このブースト電圧DV(約0.3V程度)がえられれば十分であるので、第2の実施例で第一の実施例と同程度の入力信号電圧にて動作させるためには、しきい値をDV(約0.3V)だけさらに下げれば良い。即ち、入力信号を受ける第1MISFET対(MN1とMN2)を中程度のしきい値電圧に設定し、前記第1MISFET対に対する耐圧緩和のための第2MISFET対(MN3とMN4)のしきい値電圧はMN1とMN2よりも小さく、出力すべき前記第2信号をラッチするためのものであって、交差結合されたゲートを持つ第3MISFET対(MP1とMP2)のしきい値電圧はMN1とMN2よりも大きくする。本実施例では、第2の実施例は、第1の実施例とは異なり容量素子の駆動を伴うダイナミック動作を必要としないため、入力信号がVDDレベルからVSSレベルに、あるいはその逆に、ゆっくり遷移する場合にも必ず変換できる効果がある。

【0041】本実施例において、入力用N型MOS(MN1, MN2)のゲート酸化膜をHigh-k材料でおきかえることも効果的である。High-k材料としては、Al₂O₃、ZrO₂、HfO₂等が挙げられる。これは、第1の実施例同様、MP1およびMP2と比べて相対的に大きくすることが必要となるからである。MN1、MN2のゲート酸化膜をHigh-k材料でおきかえることにより、ゲート酸化膜厚を極端に薄くしなくて済むため、ゲートリークの問題を回避することができる。

【0042】ところで、上記実施例においても、耐圧緩和MOSに低しきい値MOSを用いていることが特徴であった。しかし、入力信号の電源電圧が、たとえばVDD=1.2Vのように、それほど小さくない場合には、標準しきい値MOSで耐圧緩和MOSを構成することも可能である。この場合は、新たに低しきい値MOSを導入しなくて良いため、プロセスコストを上昇させない効果がある。

【0043】図9は図4に示した第2実施例の最も基本的な構成を示したものである。本実施例は負荷を形成するP型MOS(MP21, MP22)と入力用N型MOS(MN21, MN22)と、耐圧緩和用N型MOS(MN23, MN24)と、耐圧保証用のP型MOS(MP23, MP24)とで構成される。MP21のソースはVDDQに接続され、MP21のドレインはMN23のドレインに、MP21のゲートはMN24のドレインとMP22のドレインに接続されている。MP22のソースはVDDQに接続され、MP22のドレインはMN24のドレインに、MP22のゲートはMN23のドレインとMP21のドレインに接続されている。MN23のゲートは

MN21のゲートおよびMP23のゲートに接続され、MN23のソースはMN21のドレインとMP23のドレインに接続される。MN24のゲートは、MN22のゲートおよびMP24のゲートに接続され、MN24のソースはMN22のドレインとMP24のドレインに接続される。MP23、MP24のソースはVDD電源に接続され、MN21、MN22のソースはVSS (0V) 電源に接続される。以上の図1、図4、図9に示されたレベル変換部LS Cに共通な構成をまとめると以下の通りである。第1信号を受けて、前記第1信号よりも大きな振幅の第2信号を出力する差動型レベル変換回路を含む半導体装置であって、前記差動型レベル変換回路は、前記第1信号を受けるための第1MISFET対(図1のMN1とMN2、図9のMN21とMN22)と、前記第1MISFET対に対する耐圧緩和のための第2MISFET対(図1のMN3とMN4、図9のMN23とMN24)と、出力すべき前記第2信号をラッチするためのものであって、交差結合されたゲートを持つ第3MISFET対(図1のMP1とMP2、図9のMP21とMP22)とを有し、前記第2MISFET対のゲート絶縁膜の膜厚は、前記第1MISFET対のゲート絶縁膜の膜厚よりも厚く、前記第3MISFET対のゲート絶縁膜の膜厚は、前記第1MISFET対のゲート絶縁膜の膜厚よりも厚く、前記第2MISFET対のしきい値電圧は、前記ラッチ用MISFET対のしきい値電圧よりも小さく、前記第1MISFET対のしきい値電圧は、前記第3MISFET対のしきい値電圧よりも小さくする。ここでゲート絶縁膜の膜厚の関係は、耐圧の関係で言い換えれば、第2MISFET対と第3MISFET対は、第1MISFET対よりも耐圧が大きいということになるところで、上記実施例においても、耐圧緩和MOSに低しきい値MOSを用いていることが特徴であった。しかし、入力信号の電源電圧が、たとえばVDD=1.2Vのように、それほど小さくない場合には、標準しきい値MOSで耐圧緩和MOSを構成することも可能である。即ち図9のMP21、MP22、MN23、MN24を厚膜の酸化膜を用いて同じしきい値電圧となるように作成し、MN23とMN24に対してしきい値を小さくするためのイオンインプラを省略する。ただし、MN21、MN22、MP14、MP15は薄膜の酸化膜を用いて作成する。この場合は、MN23とMN24に対して新たに低しきい値MOSを導入しなくて良いため、プロセスコストを上昇させない効果がある。

【0044】以上、VSS(0V)とVDD(たとえば1V)間を遷移する小信号振幅をVSSQ(0V)とVDDQ(たとえば3.3V)間を遷移する大信号振幅に変換するレベル変換回路について説明した。以下では、VSS(0V)とVDD(たとえば1.2V)間を遷移する小振幅信号をVBGN(たとえば-1.2V)からVBGP(たとえば2.4V)へ変換するレベル変換回路について説明する。

【0045】システムLSIでは、待機時の消費電流を抑えるために、トランジスタの基板電圧を、N型MOS側はVSS(0V)レベルより低いVBGN電位にし、P型MOS側はVDDレベ

ルより高いVBGP電位にする、いわゆる基板制御技術を用いている。この技術を用いる際に、基板電圧をN型MOS側はVSS(0V)レベルとVBGNレベルとに切り替え、P型MOS側はVDDレベルとVBGPレベルに切り替える制御が必要となる。システムLSIの中核の制御はVSS(0V)とVDD間を遷移する小振幅信号であるから、この小振幅信号でこの切り替えを制御する必要がある。しかしながら、この小振幅信号は電源電圧より小さい信号であるため、MOSトランジスタを用いて切り替え制御をする場合、制御用MOSを完全にオン/オフできない。そこで信号振幅を変換するレベル変換回路が必須となる。

【0046】このとき、小振幅信号が低電圧化すると、この小振幅信号を直にVBGP-VBGN間を遷移する信号に変換することは難しくなる。そこで、この小振幅信号を一旦VBGP-VSS間を遷移する大振幅信号に変換した後にVBGP-VBGN間を遷移する最終的な出力信号に変換すれば、この問題を回避することができる。

<実施例3>図10はVSS(0V)レベルとVBGPレベル間を遷移する信号に変換した信号を、VBGNレベルとVBGPレベル間を遷移する信号へ変換するレベル変換回路である。したがって、VSS(0V)レベルとVDDレベル間を遷移する小振幅入力信号は、上述した図1もしくは図4などで開示したレベル変換回路、もしくは、従来のレベル変換回路を用いて、VSS(0V)レベルとVBGPレベル間を遷移する大振幅信号に変換してから本レベル変換回路に入力させれば良い。

【0047】本回路の構成をまず説明する。入力用P型MOS(MP31,MP32)と、耐圧緩和用P型MOS(MP33,MP34)と、耐圧緩和用N型MOS(MN35,MN36)と、負荷用N型MOS(MN31,MN32)と、電流制御用N型MOS(MN33,34)と耐圧保証用N型MOS(MN39,MN40)と耐圧保証用P型MOS(MP37,MP38)と、厚膜MOSで構成されるインバータINV6と、P型MOSのみ低しきい値MOSで構成されるインバータINV7,INV8とで構成される。

【0048】ここで耐圧緩和MOSを導入する理由について述べる。VBGPレベルとして2VDD(VDDレベルの2倍値)レベルとし、VBGNレベルとして-VDDレベルと仕様を決めた場合に、VDD電圧の上限値をたとえば1.4Vと設定すると、VBGPとVBGNの電圧差は4.2Vと高くなり、厚膜MOSの耐圧(たとえば3.6Vと仮定する)を超えてしまう。本回路はこのような状況においても使用できるように、使用するMOSの耐圧を超えないように耐圧緩和回路を設けていることが特徴である。

【0049】ここで各MOSの結線について説明する。MP31はソースがVBGPに接続され、MP31のドレインがMN39のドレインとMP33のドレインに接続され、MP31のゲートが入力ノードとMN39のゲートに接続される。MP32は、ソースがVBGPに接続され、MP32のドレインがMP34のドレインとMN40のドレインに接続され、MP32のゲートはインバータINV6の出力とMN40のゲートに接続される。MP33はソー

スがMP31のドレインとMN39のドレインに接続され、MP33のドレインがMN35のドレインに接続され、MP33のゲートはVDD電源に接続される。MP34はソースがMP32のドレインとMN40のドレインに接続され、MP34のドレインがMN36のドレインに接続され、MP34のゲートはVDD電源に接続される。MN35のソースはMP37のドレインとMN33のドレインとMN32のソースに接続され、MN35のドレインはMP33のドレインに接続され、MN35のゲートはVSSに接続される。MN36のソースはMP38のドレインとMN34のドレインとMN31のソースに接続され、MN36のドレインはMP34のドレインに接続され、MN36のゲートはVSSに接続される。MN33のソースはMN31のドレインに接続され、MN33のドレインはMP37のドレインとMN35のソースとMN32のゲートに接続され、MN33のゲートはINV7の出力に接続される。MN34のソースはMN32のドレインに接続され、MN34のドレインはMP38のドレインとMN36のソースとMN31のゲートに接続され、MN34のゲートはINV8の出力に接続される。MN31のソースはVBGNに接続され、MN31のドレインはMN33に接続され、MN31のゲートはMN34のドレインとMN36のソースとMP38のドレインに接続される。MN32のソースはVBGNに接続され、MN32のドレインはMN34に接続され、MN32のゲートはMN33のドレインとMN35のソースとMP37のドレインに接続される。MP37のソースはVDDに接続され、MP37のドレインはMN33のドレインとMN35のドレインとMN32のゲートに接続され、MN37のゲートはVSS電源に接続される。MP38のソースはVDDに接続され、MP38のドレインはMN34のドレインとMN36のドレインとMN31のゲートに接続され、MN38のゲートはVSS電源に接続される。インバータINV7はP型MOS (MP35) とN型MOS (MN37) で構成され、MP35のソースはVDDに接続され、MP35のドレインはMN37のドレインとMP37のゲートとMN33のゲートに接続され、MP35のゲートはINV6の出力に接続されている。インバータINV8はP型MOS (MP36) とN型MOS (MN38) で構成され、MP36のソースはVDDに接続され、MP36のドレインはMN38のドレインとMP38のゲートとMN34のゲートに接続され、MP36のゲートは入力に接続されている。

【 0 0 5 0 】 MP31, MP32とINV6のP型MOSの基板電位はVBGPであり、MP35, MP36, MP37, MP38の基板電位はVDDであり、MN37, MN38, MN39, MN40の基板電位はVSSであり、MN31, MN32, MN33, MN34の基板電位はVBGNである。また、MP33の基板電位はMP33のソースの電位と等しく、MP34の基板電位はMP34のソース電位と等しく、MN35の基板電位はMN35のソース電位と等しく、MN36の基板電位はMN36のソース電位と等しい。MN35, MN36, MP33, MP34の基板電位はそれぞれ接続先のソース電位が変化すると変化する。図11を用いて主たるノードの動作波形を示す。時刻T1で入力INがVSSレベル (0V) からVBGPレベルへ変化する場合の動作について説明する。入力INがVBGPレベルになるとMP31がオフし、MN39がオンする。入力INを受けるインバータINV6の出力はVBGPレベルからVSSレベルへ変化する

ので、MP32がオンしMN40がオフとなる。そのためnd31はVBGPレベルからVSSレベル (0V) に変化する。nd32はVSSレベルからVBGPレベルに変化する。一方、INV6の出力を受けるインバータINV7の出力ノードnd33は、VSSレベル (0V) からVDDレベルに変化する。また、入力INを受けるインバータINV8の出力ノードnd34はVDDレベルからVSSレベルに変化する。このとき、ノードnd34がVDDレベルからVSSレベルに変化すると、MP38がオンするとともにMN34がオフするので、ノードnd36はVDDレベルになる。ノードnd36がVDDレベルになると、MN31がオンしてノードnd37がVBGNレベルになる。ノードnd36がVBGNレベルからVDDレベルに変化すると、MN36のゲート電位がVSSであるのでMN36は強くオフする。ここで、ノードnd32がVBGPレベルにあることとMP34のゲート電位がVDDレベルであることから、MP34はオン状態となり、ノードnd39はVBGPレベルになる。また、ノードnd33がVSSレベルからVDDレベルに変化すると、MP37がオフするとともにMN33がオンし、ノードnd35はVBGNレベルに変化する。ノードnd35がVDDレベルからVBGNレベルになると、MN35のゲートがVSSであることからMN35はオン状態になるので、出力ノードOUTはVBGNレベルになる。出力ノードOUTがVBGNレベルになると、MP33のゲートがVDDであり、ノードnd31がVSSであることからMP33は強くオフする。

【 0 0 5 1 】 次に時刻T2で入力INがVBGPレベルからVSSレベルへ変化する場合の動作について説明する。入力INがVSSレベルになるとMP31がオンし、MN39がオフする。入力INを受けるインバータINV6の出力はVSSレベルからVBGPレベルへ変化する。そのためnd31はVSSレベルからVBGPレベルに変化する。nd32はVBGPレベルからVSSレベルに変化する。一方、INV6の出力を受けるインバータINV7の出力ノードnd33は、VDDレベルからVSSレベルに変化する。また、入力INを受けるインバータINV8の出力ノードnd34はVSSレベルからVDDレベルに変化する。このとき、ノードnd33がVDDレベルからVSSレベルに変化すると、MP37がオンするとともにMN34がオフするので、ノードnd35はVDDレベルになる。ノードnd35がVDDレベルになると、MN32がオンしてノードnd38がVBGNレベルになる。ノードnd35がVBGNレベルからVDDレベルに変化すると、MN35のゲート電位がVSSであるのでMN35は強くオフする。ここで、ノードnd31がVBGPレベルにあることとMP33のゲート電位がVDDレベルであることから、MP33はオン状態となり、出力ノードOUTはVBGPレベルになる。また、ノードnd34がVSSレベルからVDDレベルに変化すると、MP38がオフするとともにMN34がオンし、ノードnd36はVBGNレベルに変化する。ノードnd36がVDDレベルからVBGNレベルになると、MN36のゲートがVSSであることからMN36はオン状態になるので、ノードnd39はVBGNレベルになる。ノードnd39がVBGNレベルになると、MP34のゲートがVDDであり、ノードnd32がVSSであることからMP34は強くオフする。

【0052】本実施例は、入力信号振幅が低電圧化で低くなったときに、この、小振幅信号を大振幅信号に一旦変換した後、最終的な出力信号に変換するため、確実に変換できる効果がある。また、出力信号がレベル変換回路を構成するMOSの耐圧より高い値になる場合においても、使用できるように耐圧緩和MOSを効果的に用いていることを特徴としている。そのため、このような状況においても、あたらしく高耐圧MOSを用いる必要が無いため、製造コストが抑えられる効果がある。

＜実施例4＞図12は0VとVBGP間を遷移する信号に変換した信号を、VBGNとVBGP間を遷移する信号へ変換するレベル変換回路の別の実施例を示す図である。本実施例においても、0VとVDD間を遷移する小振幅信号を入力信号として用いる場合は、上述した図1もしくは図4等のレベル変換回路、もしくは、従来のレベル変換回路で、0VとVBGP間を遷移する信号に変換してから本レベル変換回路に入力させれば良い。本実施例においても、図10の実施例で説明したように、厚膜MOSの耐圧（たとえば3.6V）を超えてしまう恐れがある。そこで本回路はこのような状況においても使用するMOSの耐圧を超えないように耐圧緩和回路を設けていることが特徴である。

【0053】本回路の構成をまず説明する。入力用P型MOS（MP41,MP42）と、耐圧緩和用P型MOS（MP43,MP44）と、耐圧緩和用N型MOS（MN45,MN46）と、負荷用N型MOS（MN41,MN42）と、電流制御用N型MOS（MN43,44）と耐圧保証用P型MOS（MP45,MP46）、耐圧保証用N型MOS（MN49）と、厚膜MOSで構成されるインバータINV19、INV10と、P型MOSのみ低しきい値MOSで構成されるインバータINV11、INV12とで構成される。なお、MN45,MN46,MN43,MN44も低しきい値MOSで構成すると、より低電圧下での動作が可能になる効果がある。さらに、ここでは図示していないが、MP43,MP44も低しきい値MOSを利用することによって、さらに低電圧下での動作が可能となる。

【0054】次に各MOSの結線について説明する。MP41はソースがVBGPに接続され、ドレインがMP43のドレインとMN49のソース（あるいはドレイン）に接続され、ゲートが入力ノードに接続される。MP42は、ソースがVBGPに接続され、ドレインがMP44のドレインとMN49のドレイン（ソース）に接続され、ゲートは入力の反転に接続される。MP43はソースがMP41のドレインとMN49のソース（ドレイン）に接続され、ドレインがMN43のドレインとMN45のドレインに接続される。MP44はソースがMP42のドレインとMN49のドレイン（ソース）に接続され、ドレインがMN44のドレインとMN46のドレインに接続される。MN45のソースはMP43のドレインとMN43のドレインと出力（OUT）とに接続され、ドレインはMP46のドレイン（ソース）とMP42のゲートに接続され、ゲートはvddに接続される。MN46のソースはMP44のドレインとMN44のドレインに接続され、ドレインはMP46のドレイン（ソース）とMP41のゲートに接続され、ゲートはvddに接続される。MN4

3のソースはMN41のドレインに接続され、ドレインはMN45のソースとMP43のドレインに接続され、ゲートはINV11の出力に接続される。MN44のソースはMN42のドレインに接続され、ドレインはMN46のソースとMP44のドレインに接続され、ゲートはINV12の出力に接続される。MN41のソースはVBGNに接続され、ドレインはMN43とMP45のドレイン（ソース）に接続され、ゲートはMN46のドレインとMP46のソース（ドレイン）に接続される。MN42のソースはVBGNに接続され、ドレインはMN44とMP45のソース（ドレイン）に接続され、ゲートはMN45のドレインとMP46のドレイン（ソース）に接続される。インバータINV11はP型MOS（MP47）とN型MOS（MN47）で構成され、MP47のソースはVDDに接続され、ドレインはMN47のドレインとMN43のゲートに接続され、ゲートは入力（IN）に接続されている。ここでMP47は低しきい値MOSである。インバータINV12はP型MOS（MP48）とN型MOS（MN48）で構成され、MP48のソースはVDDに接続され、ドレインはMN48のドレインとMN44のゲートに接続され、ゲートはインバータINV9の出力に接続されている。ここでMP48は低しきい値MOSである。ここで、各MOSの基板電位について述べる。MP41,MP42とINV9,INV10のP型MOSの基板電位はVBGPであり、MP45,MP46の基板電位はVDDであり、MN47,MN48,MN49の基板電位はVSSであり、MN41,MN42の基板電位はVBGNである。また、MP43の基板電位はMP43のソースの電位と等しく、MP44の基板電位はMP44のソース電位と等しく、MN43とMN45の基板電位はMN43のソース電位と等しく、MN44とMN46の基板電位はMN44のソース電位と等しい。MN43,MN44,MN45,MN46,MP43,MP44の基板電位はそれぞれ接続先のソース電位が変化すると変化する。

【0055】なお、MP45,MP46,MN49の働きについて述べる。MP45はnd47とnd48がVDDレベルを超えて上昇してしまうのを抑える目的で用いられている。そのため、万一、nd47およびnd48がVDDレベルを超えようとすると、MP45の基板側へ電流が流れるので、nd47,nd48がVDDレベルを超えることはない。MP46はnd45とnd46がVDDレベルを超えて上昇してしまうのを抑える目的で用いられている。そのため、万一、nd45およびnd46がVDDレベルを超えようとすると、MP46の基板側へ電流が流れるので、nd45,nd46がVDDレベルを超えることはない。MN49はnd41とnd42がVSSレベルを超えて低下してしまうのを抑える目的で用いられている。そのため、万一、nd41およびnd42がVSSレベルを超えて低下しようとすると、MN49の基板側から電流が流れるので、nd41,nd42がVSSレベルを超えることはない。

【0056】図13は図12に示した実施例の動作波形図である。時刻T1で入力INがVSSレベル(0V)へ変化する場合は動作について説明する。入力INがVSSレベルに変化すると、INV9の出力はVBGPレベルに変化し、INV10の出力はVSSレベルに変化する。そのため、MP41はオフし、MP42はオン状態となる。したがって、ノードnd41はVBGP電

源への経路が遮断されて高抵抗状態になり、ノードnd42はVBGPレベルになる。このとき、MP44はゲート電位がVSSであるのでオン状態になり、ノードnd42とノードnd44は導通し、ノードnd49がVBGPレベルになる。ノードnd49がVBGPレベルになると、MN46のゲート電位がVDDであるため、MN46は耐圧緩和MOSとして働き、ノードnd45がVDDレベルになる。ノードnd45がVDDレベルになるとMN41はオンする。一方、時刻T1でインバータINV11の出力ノードnd43はVSSレベルからVDDレベルに変化し、インバータINV12の出力ノードnd44はVDDレベルからVSSレベルへ変化する。そのため、MN43がオンしMN44がオフする。したがって、MN43がオンすることでノードnd47と出力ノードOUTは導通し、出力ノードOUTはVBGNレベルになる。出力ノードOUTがVBGNレベルになると、MN45のゲートがVDDであるのでMN45はオンするから、ノードnd46と出力ノードOUTは導通し、ノードnd46はVBGNレベルになる。ノードnd46がVBGNレベルになると、MN42がオフする。このとき、MN44は耐圧緩和MOSの働きをするので、nd48はVSSレベルになる。nd47およびOUTはVBGNレベルになると、MP43が耐圧緩和MOSの働きをするためnd41はVSSレベルになる。

【0057】なお、MN42がオフする場合、ノードnd49がVBGPレベルであるため、MN44のオフ時のリーク電流によりnd48の電位がVBGP側へ上昇してしまう恐れがある。しかし、MP45の基板電位がVDDであるため、nd48がVDDレベルを超えると基板側へ電流が流れるので、nd48の電位がVDDを超えて上昇してしまうことが防げる。同様に、ノードnd49がVBGPレベルであるため、MN46のオフ時のリーク電流によりnd45の電位がVBGP側へ上昇してしまう恐れがある。しかし、MP46の基板電位がVDDであるため、nd45がVDDレベルを超えると基板側へ電流が流れるので、nd45の電位がVDDを超えて上昇してしまうことが防げる。

【0058】このように、本実施例を構成するMOSのソース・ドレイン間、ドレイン・ゲート間、ゲート・ソース間の最大印加電圧は、VBGP-VSSもしくはVDD-VBGNである。このとき、VBGP=2VDD、VBGN=-VDDといった場合には、各MOSの最大印加電圧は2VDD程度となる。したがって、VDD=1.2Vで設計する場合、MOSの耐圧を3.6Vとする場合には最大印加電圧が耐圧より低くすることができる。

【0059】次に、時刻T2で入力INがVBGPレベルへ変化する場合の動作について説明する。入力INがVBGPレベルに変化すると、INV9の出力はVSSレベルに変化し、INV10の出力はVBGPレベルに変化する。そのため、MP41はオンし、MP42はオフ状態となる。したがって、ノードnd42はVBGP電源への経路が遮断されて高抵抗状態になり、ノードnd41はVBGPレベルになる。このとき、MP43はゲート電位がVSSであるのでオン状態になり、ノードnd41とノードnd43は導通し、出力ノードOUTがVBGPレベルになる。

出力ノードOUTがVBGPレベルになると、MN45のゲート電位がVDDであるため、MN45は耐圧緩和MOSとして働き、ノードnd46がVDDレベルになる。ノードnd46がVDDレベルになるとMN42はオンする。一方、時刻T2でインバータINV11の出力ノードnd43はVDDレベルからVSSレベルに変化し、インバータINV12の出力ノードnd44はVSSレベルからVDDレベルへ変化する。そのため、MN43がオフしMN44がオンする。したがって、MN44がオンすることでノードnd48とノードnd49は導通し、ノードnd49はVBGNレベルになる。ノードnd49がVBGNレベルになると、MN46のゲートがVDDであるのでMN46はオンするから、ノードnd45とノードnd49は導通し、ノードnd45はVBGNレベルになる。ノードnd45がVBGNレベルになると、MN41がオフする。このとき、MN43は耐圧緩和MOSの働きをするので、nd47はVSSレベルになる。nd48およびnd49はVBGNレベルになると、MP44が耐圧緩和MOSの働きをするためnd42はVSSレベルになる。

【0060】なお、MN41がオフする場合、出力ノードOUTがVBGPレベルであるため、MN43のオフ時のリーク電流によりnd47の電位がVBGP側へ上昇してしまう恐れがある。しかし、MP45の基板電位がVDDであるため、nd47がVDDレベルを超えると基板側へ電流が流れるので、nd47の電位がVDDを超えて上昇してしまうことが防げる。同様に、出力ノードOUTがVBGPレベルであるため、MN45のオフ時のリーク電流によりnd46の電位がVBGP側へ上昇してしまう恐れがある。しかし、MP45の基板電位がVDDであるため、nd46がVDDレベルを超えると基板側へ電流が流れるので、nd46の電位がVDDを超えて上昇してしまうことが防げる。

【0061】このように、本実施例を構成するMOSのソース・ドレイン間、ドレイン・ゲート間、ゲート・ソース間の最大印加電圧は、VBGP-VSSもしくはVDD-VBGNである。このとき、VBGP=2VDD、VBGN=-VDDといった場合には、各MOSの最大印加電圧は2VDD程度となる。したがって、MOSの耐圧を3.6VとしVDD=1.2Vで設計する場合には最大印加電圧が耐圧より低くすることができる。

【0062】本実施例は、出力信号振幅がレベル変換部を構成するMOSの耐圧より高くなってしまう場合でも、各MOSにかかる印加電圧を耐圧以下に抑えることができる。そのため、新たな高耐圧MOSを用いずにレベル変換回路を構成することができるので、製造コストが低く抑えられる効果がある。

＜実施例5＞図14は電源VBGNと電源VBGP間の振幅の信号を伝達するインバータの1実施例である。ここでVBGN<VSS(=0V)<VDD<VBGPである。上述したように、VBGN電位とVBGP電位の差は、厚膜MOSの耐圧を越えてしまう場合がある。ここでは、VBGN電位とVDD電位の差の電位、および、0VとVBGP電位の差の電位は厚膜MOSの耐圧を満たすが、VBGN電位とVBGP電位の差電位は厚膜MOSの耐圧を満たさないような電圧関係にある場合に用いられるイン

バータについて開示する。

【0063】まず結線状況を説明する。P型MOS (MP51) はゲートとソースが結線され、P型MOS (MP52) のソースとP型MOS (MP54) のゲートに接続される。MP51のドレインはVSSに接続される。MP52はゲートがVSSに接続され、ドレインに入力が入力が接続され、ソースはMP51のソースとゲートとMP54のゲートに接続される。MP54はP型MOS (MP53) のゲートとソースがドレインに接続され、ソースにVBGP電源が接続され、ゲートにMP51のゲートとソースとMP52のソースに接続される。MP53はゲートとソースが結線され、MP54のドレインとP型MOS (MP55) のソースに接続されるとともに、ドレインにVSSが接続される。MP55はソースにMP54のドレインとMP53のソースとドレインが接続され、ドレインに出力とN型MOS (MN55) のドレインが接続される。MP55のゲートはVSSが接続される。N型MOS (MN51) はソースとドレインが結線され、N型MOS (MN52) のソースとN型MOS (MN54) のゲートに接続されると共に、MN51のドレインはVDD電源とMN52のゲートに接続される。MN52はドレインに入力とMP52のドレインが接続され、ゲートはMN51のドレインと共にVDD電源に接続される。MN52のソースはMN51のゲートとソースに接続されると共に、MN54のゲートに接続される。N型MOS (MN53) のソースはMN54のゲートに接続されると共に、MN54のドレインとMN55のソースに接続される。MN54のドレインはMN55のゲートに接続されると共にVDD電源に接続される。MN54はソースにVBGN電源が接続され、ゲートにMN51のソースとゲートおよび、MN52のソースが接続される。MN54のドレインはMN53のソースとドレインおよびMN55のソースが接続される。MN55のゲートはMN53のドレインに接続されると共に、VDD電源に接続される。MN55のソースはMN53のゲートとソースに接続されると共にMN54のドレインに接続される。MN55のドレインは出力に接続されると共にMP55のドレインに接続される。

【0064】各MOSの基板電位について述べる。MP51とMP52の基板電位はMP51のソース電位と等しく、MP53とMP55の基板電位はMP53の基板電位と等しい。MP54の基板電位はVBGPである。また、MN51とMN52の基板電位はMN51のソース電位と等しく、MN53とMN55の基板電位はMN53のソース電位と等しい。MN54の基板電位はVBGN電位である。

【0065】図15は、図14に示したインバータの各ノードの動作波形図である。入力信号INはVBGPとVBGN間を遷移する大振幅信号である。まず、時刻T1で入力信号INがVBGNレベルからVBGPレベルへ変化する場合について説明する。このとき、MP52はオン状態になるので、nd51はVBGPレベルになる。ノードnd51がVBGPレベルになると、MP54がオフする。一方、MN52は耐圧緩和MOSとして働き、ノードnd52はVDDレベルになる。MN51はnd52がVDDレベルを超えて高くなってしまふことを防ぐ目的で、ダイオードとして使用される。ノードnd52がVDDレベルになるとMN54がオンし、ノードnd54がVBGNレベルになる。ノードn

d54がVBGNレベルになると、MN55のゲート電位がVDDであるため、MN55がオンする。その結果、出力ノードOUTはVBGNレベルになる。出力ノードOUTがVBGNレベルになると、MP55が耐圧緩和MOSとして働き、nd53がVSSレベルになる。MP53はnd53がVSSレベルを超えて低くなってしまふことを防ぐ目的で用いられている。

【0066】このように、本実施例を構成するMOSのソース・ドレイン間、ドレイン・ゲート間、ゲート・ソース間の最大印加電圧は、VBGP-VSSもしくはVDD-VBGNである。このとき、VBGP=2VDD、VBGN=-VDDといった場合には、各MOSの最大印加電圧は2VDD程度となる。したがって、VDD=1.2Vで設計する場合、MOSの耐圧を3.6Vとする場合には最大印加電圧が耐圧より低くすることができる。

【0067】次に、時刻T2で入力信号INがVBGPレベルからVBGNレベルへ変化する場合について説明する。このとき、MN52はオン状態になるので、nd52はVBGNレベルになる。ノードnd52がVBGNレベルになると、MN54がオフする。一方、MP52は耐圧緩和MOSとして働き、ノードnd51はVSSレベルになる。MP51はnd51がVSSレベルを超えて低くなってしまふことを防ぐ目的で、ダイオードとして使用される。ノードnd51がVSSレベルになるとMP54がオンし、ノードnd53がVBGPレベルになる。ノードnd53がVBGPレベルになると、MP55のゲートがVSSであるので、MP55がオンする。その結果、出力ノードOUTはVBGPレベルになる。出力ノードOUTがVBGPレベルになると、MN55が耐圧緩和MOSとして働き、nd54がVDDレベルになる。MN53はnd54がVDDレベルを超えて高くなってしまふことを防ぐ目的で用いられている。

【0068】このように、本実施例を構成するMOSのソース・ドレイン間、ドレイン・ゲート間、ゲート・ソース間の最大印加電圧は、VBGP-VSSもしくはVDD-VBGNである。このとき、VBGP=2VDD、VBGN=-VDDといった場合には、各MOSの最大印加電圧は2VDD程度となる。したがって、VDD=1.2Vで設計する場合、MOSの耐圧を3.6Vとする場合には最大印加電圧が耐圧より低くすることができる。したがって、本実施例を用いると、新たな高耐圧MOSを用いずに、使用MOSの耐圧より高い信号振幅レベルの伝達が可能になる。そのため、製造コストが低く抑えられる効果がある。

<実施例6>図16はVSS電源とVDD電源間振幅の信号をVBGN電源とVBGP電源間振幅の信号に変換するレベル変換回路の実施例を示している。本回路は、全て耐圧がVDDである薄膜MOSで構成されており、さらにN型MOSおよびP型MOSについて対称な回路構成であることを特徴としている。そのため、本実施例は、VBGP電源電圧が2倍のVDD電圧以下で、かつ、VBGN電源電圧は、-VDD電圧以上である場合に用いることができる。本回路はVSSレベルへのプルダウン回路 (PD61, PD62) とVDDレベルへのプルアップ回路 (PU61, PU61)、P型MOS (MP63, MP64) で構成さ

れるラッチとN型MOS (MN63, MN64) で構成されるラッチと、P型MOS (MP61, MP62, MP65, MP66) で構成される耐圧緩和MOSとN型MOS (MN61, MN62, MN65, MN66) で構成される耐圧緩和MOSと、P型MOS (MP73, MP74) およびN型MOS (MN73, MN74) で構成される耐圧保証用MOSと、インバータ (INV13, INV14, INV15) で構成される。

【0069】各MOSの結線状況をまず説明する。プルダウン回路 (PD61) は、入力信号レベルによりノードnd61をVSSレベルに引き下げるか、もしくは高抵抗状態にする回路である。このPD61はP型MOS (MP67) とN型MOS (MN69, MN70) で構成される。MP67のソースはVDD電源に接続され、MP67のゲートは入力に接続され、MP67のドレインはMN69のソースとMN70のドレインに接続される。MN70のソースはVSS電源に接続され、MN70のゲートは入力に接続され、MN70のドレインはMP67のドレインとMN69のソースに接続される。MN69のソースはMN70のドレインとMP67のドレインに接続され、MN69のゲートはVDD電源に接続され、MN69のドレインはP型MOS (MP73) のゲートとP型MOS (MP65) のドレインとP型MOS (MP61) のソースに接続される。プルダウン回路 (PD62) は、入力信号レベルによりノードnd62をVSSレベルに引き下げるか、もしくは高抵抗状態にする回路である。このPD62はP型MOS (MP68) とN型MOS (MN71, MN72) で構成される。MP68のソースはVDD電源に接続され、MP68のゲートはインバータINV13の出力に接続され、MP68のドレインはMN71のソースとMN72のドレインに接続される。MN70のソースはVSS電源に接続され、MN72のゲートはインバータINV13の出力に接続され、MN72のドレインはMP68のドレインとMN71のソースに接続される。MN71のソースはMN72のドレインとMP68のドレインに接続され、MN71のゲートはVDD電源に接続され、MN71のドレインはP型MOS (MP74) のゲートとP型MOS (MP66) のドレインとP型MOS (MP62) のソースに接続される。プルアップ回路 (PU61) は、入力信号レベルによりノードnd63をVDDレベルに引き上げるか、もしくは高抵抗状態にする回路である。このPU61はN型MOS (MN67) とP型MOS (MP69, MP70) で構成される。MN67のソースはVSS電源に接続され、MN67のゲートは入力に接続され、MN67のドレインはMP69のソースとMP70のドレインに接続される。MP70のソースはVDD電源に接続され、MP70のゲートは入力に接続され、MP70のドレインはMN67のドレインとMP69のソースに接続される。MP69のソースはMP70のドレインとMN67のドレインに接続され、MP69のゲートはVSS電源に接続され、MP69のドレインはN型MOS (MN73) のゲートとN型MOS (MN65) のドレインとN型MOS (MN61) のソースに接続される。プルアップ回路 (PU62) は、入力信号レベルによりノードnd64をVDDレベルに引き上げるか、もしくは高抵抗状態にする回路である。このPU62はN型MOS (MN68) とP型MOS (MP71, MP72) で構成される。MN68のソースはVSS電源に接続され、MN68のゲートはインバータINV13の出力に接続され、MN68のドレ

インはMP71のソースとMP72のドレインに接続される。MN72のソースはVDD電源に接続され、MP72のゲートはインバータINV13の出力に接続され、MP72のドレインはMN68のドレインとMP71のソースに接続される。MP71のソースはMP72のドレインとMN68のドレインに接続され、MP71のゲートはVSS電源に接続され、MP71のドレインはP型MOS (MN74) のゲートとN型MOS (MN66) のドレインとN型MOS (MN62) のソースに接続される。

【0070】N型MOS (MN63) のソースはVBGNに接続され、MN63のゲートはN型MOS (MN64) のドレインとN型MOS (MN66) のソースに接続され、MN63のドレインはMN73のソースとN型MOS (MN65) のソースとMN64のゲートに接続されている。MN64のソースはVBGNに接続され、MN64のゲートはMN63のドレインとMN65のソースに接続され、MN64のドレインはMN74のソースとMN66のソースとMN63のゲートに接続されている。MN73のドレインはVSSに接続され、MN73のゲートはMP69のドレインとMN65のドレインに接続され、MN73のソースはMN63のドレインとMN65のソースに接続されている。MN74のドレインはVSSに接続され、MN74のゲートはMP71のドレインとMN66のドレインに接続され、MN74のソースはMN64のドレインとMN66のソースに接続されている。MN65のゲートはVSSに接続され、MN65のソースはMN63のドレインとMN64のゲートに接続され、MN65のドレインはMP69のドレインとMN73のゲートとN型MOS (MN61) のソースに接続されている。MN66のゲートはVSSに接続され、MN66のソースはMN64のドレインとMN63のゲートに接続され、MN66のドレインはMP71のドレインとMN74のゲートとN型MOS (MN62) のソースに接続されている。MN61のゲートはインバータINV14の出力とP型MOS (MP61) のゲートとに接続され、MN61のソースはMN65のドレインとMP69のドレインとMN73のゲートに接続され、MN61のドレインはMP61のドレインと出力に接続されている。MN62のゲートはインバータINV15の出力とP型MOS (MP62) のゲートとに接続され、MN62のソースはMN66のドレインとMP71のドレインとMN74のゲートに接続され、MN62のドレインはMP62のドレインに接続されている。P型MOS (MP63) のソースはVBGPに接続され、MP63のゲートはP型MOS (MP64) のドレインとP型MOS (MP66) のソースに接続され、MP63のドレインはMP73のソースとP型MOS (MP65) のソースとMP64のゲートに接続されている。MP64のソースはVBGPに接続され、MP64のゲートはMP63のドレインとMP65のソースに接続され、MP64のドレインはMP74のソースとMP66のソースとMP63のゲートに接続されている。MP73のドレインはVDD電源に接続され、MP73のゲートはMN69のドレインとMP65のドレインに接続され、MP73のソースはMP63のドレインとMP65のソースに接続されている。MP74のドレインはVDD電源に接続され、MP74のゲートはMN71のドレインとMP66のドレインに接続され、MP74のソースはMP64のドレインとMP66のソースに接続されている。MP65のゲートはVDD電源に接続され、M

P65のソースはMP63のドレインとMP64のゲートに接続され、MP65のドレインはMN69のドレインとMP73のゲートとMP61のソースに接続されている。MP66のゲートはVDD電源に接続され、MP66のソースはMP64のドレインとMP63のゲートに接続され、MP66のドレインはMN71のドレインとMP74のゲートとMP62のソースに接続されている。MP61のゲートはインバータINV14の出力とMN61のゲートとに接続され、MP61のソースはMP65のドレインとMN69のドレインとMP73のゲートに接続され、MP61のドレインはMN61のドレインと出力に接続されている。MP62のゲートはインバータINV15の出力とMN62のゲートとに接続され、MP62のソースはMP66のドレインとMN71のドレインとMP74のゲートに接続され、MP62のドレインはMN62のドレインに接続されている。INV15はインバータINV13の出力に接続され、INV13の入力は入力INに接続されている。

【0071】ここで各MOSの基板電位について説明する。MP63,MP64の基板電位はVBGPである。MP67,MP68,MP73,MP74,MP70,MP72の基板電位はVDDである。MN63,MN64の基板電位はVBGNである。MN67,MN68,MN73,MN74,MN70,MN72の基板電位はVSSである。MP61の基板電位はMP61のソース電位と等しく、MP62の基板電位はMP62のソース電位と等しく、MP65の基板電位はMP65のソース電位と等しく、MP66の基板電位はMP66のソース電位と等しく、MP69の基板電位はMP69のソース電位と等しく、MP71の基板電位はMP71のソース電位等しい。MN61の基板電位はMN61のソース電位と等しく、MN62の基板電位はMN62のソース電位と等しく、MN65の基板電位はMN65のソース電位と等しく、MN66の基板電位はMN66のソース電位と等しく、MN69の基板電位はMN69のソース電位と等しく、MN71の基板電位はMN71のソース電位等しい。

【0072】また、MP61,MP62,MP56,MP66,MN51,MN62,MN65,MN66は標準しきい値MOSで構成しても良いが、低しきい値MOSで構成されることが低電圧動作の観点から望ましい。また、MP61,MN61,MP62,MN62のみ低しきい値化しても効果的である。ここで、標準しきい値MOSのしきい値電圧はたとえば0.35Vであり、低しきい値MOSのしきい値電圧はたとえば0.25Vである。また、上記低しきい値MOSの代用として上記標準しきい値MOSのゲート長と比べて相対的に短いゲート長の標準しきい値MOSを用いることも効果がある。これは、ゲート長が短くなることで実効的にしきい値電圧が小さくなることを用いている。この場合、使用するMOSが標準しきい値MOSのみで良いため、製造コストが低く抑えられる効果がある。

【0073】図17は図16に示した実施例の各ノードにおける動作波形を示した図である。まず、入力INがVSSレベルからVDDレベルへ変化する場合について説明する。このとき、MP67とMP70がオフし、MN67とMN70がオンするので、ノードnd69とnd71はVSSレベルになる。入力INを受けるインバータINV13の出力はVSSレベルになるため、MN68とMN72がオフしMP68とMP71がオンとなる。そのた

め、ノードnd70とnd72はVDDレベルになる。ノードnd72がVDDレベルになると、MP72がオン状態になるのでnd64はVDDレベルになる。ノードnd64がVDDレベルになると、MN66がオフすると共にMN74がオンし、ノードnd68がVSSレベルになる。ノードnd68がVSSレベルになるとMN63がオンし、ノードnd67がVBGNレベルになる。ノードnd67がVBGNレベルになるとMN64がオフしてnd68はVSSレベルが確定する。また、ノードnd67がVBGNレベルになるとMN65がオン状態にあることから、ノードnd63がVBGNレベルになる。このとき、MP69はソースとゲート電位が共にVSSであり、ドレインがVBGNレベルにあることからオフ状態となり、MN73もソースとゲートがVBGNレベルになり、ドレイン電位がVSSであるのでオフする。一方、PD61中のノードnd69がVSSレベルになると、MN69がオン状態になりノードnd61がVSSレベルになる。ノードnd61がVSSレベルになるとMP73がオンするのでnd65はVDDレベルになる。ノードnd65がVDDレベルになると、MP64がオンしnd66がVBGPレベルになる。このとき、PD62中のノードnd70はVDDレベルになっているのでMN71がオフ状態となるとともに、オン状態のMP66を通じてノードnd62はVBGPレベルになりMP74はオフとなる。したがって、nd66のVBGPレベルは確定する。ノードnd61がVSSレベルに、ノードnd62がVBGPレベルに、ノードnd63がVBGNレベルに、ノードnd64がVDDレベルになるときは、インバータINV14の出力ノードnd73はVSSレベルに、インバータINV15の出力ノードnd74はVDDレベルになっている。そのため、MP61とMN62がオフし、MP62とMN61がオンするので、出力値はVBGNレベルになる。このとき、各MOSのソース-ドレイン間、ソース-ゲート間、ゲート-ドレイン間の印加電圧は、VBGPが2VDD、VBGNが-VDDであることを考えるとVDDである。そのため、薄膜MOSの耐圧は保証される。

【0074】次に、入力INがVDDレベルからVSSレベルへ変化する場合について説明する。このとき、MP67とMP70がオンし、MN67とMN70がオフするので、ノードnd69とnd71はVDDレベルになる。入力INを受けるインバータINV13の出力はVDDレベルのため、MN68とMN72がオンしMP68とMP71がオフとなる。そのため、ノードnd70とnd72はVSSレベルになる。ノードnd71がVDDレベルになると、MP69がオン状態になるのでnd63はVDDレベルになる。ノードnd63がVDDレベルになると、MN65がオフすると共にMN73がオンし、ノードnd67がVSSレベルになる。ノードnd67がVSSレベルになるとMN64がオンし、ノードnd68がVBGNレベルになる。ノードnd68がVBGNレベルになるとMN63がオフしてnd67はVSSレベルが確定する。ノードnd68がVBGNレベルになるとMN66がオン状態にあることから、ノードnd64がVBGNレベルになる。このとき、MP72はソースとドレインがVSSレベルにあることからオフ状態になる。ノードnd68とノードnd64とがともにVBGNレベルになるとMN74がオフする。一方、PD62中のノードnd70がVSSレベルになると、MN71がオン状態にあるため、ノードnd62はVSSレ

レベルになる。ノードnd62がVSSレベルになるとMP66のゲートがVDDであるのでMP66はオフするとともにMP74がオンするので、nd66はVDDレベルになる。ノードnd66がVDDレベルになると、MP63がオンしnd65がVBGPレベルになる。このとき、PD61中のノードnd69がVDDレベルになっているのでMN69がオフ状態となると同時に、オン状態のMP65を通じてノードnd61はVBGPレベルになる。その結果MP73はオフとなる。したがって、nd65のVBGPレベルは確定する。ノードnd66がVDDレベルになるとMN66はオフするのでnd62のVSSレベルは確定する。ノードnd61がVBGPレベルに、ノードnd62がVSSレベルに、ノードnd63がVDDレベルに、ノードnd64がVBGNレベルになるときは、インバータINV14の出力ノードnd73はVDDレベルに、インバータINV15の出力ノードnd74はVSSレベルになっている。そのため、MP61とMN62がオンし、MP62とMN61がオフするので、出力値はVBGPレベルになる。このとき各MOSのゲート-ソース間およびゲート-ドレイン間およびソース-ドレイン間の印加電圧値は、VBGPが2VDD、VBGNが-VDDであることを考えるとVDDである。そのため、薄膜MOSの耐圧は保証される。

【0075】本実施例は、高振幅信号へのレベル変換に、低い耐圧の薄膜MOSのみで構成された回路を用いていることが特徴である。そのため、テクノロジーが進歩した場合に、同一の回路構成でよいため、新たに設計しなおす必要が無く、設計期間の短縮が図れるという効果がある。

＜実施例7＞図18は図14に示したような電圧状況下で用いられるインバータの機能をもった回路を示す別の実施例を示している。本実施例は全て薄膜MOSで構成されていることが特徴である。そのため、本実施例は、VBGP電源電圧が2倍のVDD電圧以下で、かつ、VBGN電源電圧は、-VDD電圧以上である場合に用いることができる。本実施例の基本構成は、図14に示した実施例を薄膜化したものであるが、薄膜にするにあたり、耐圧をVDDに保証しなくてはならず、その保証のために、プルダウン回路（PD81,PD82）とプルアップ回路（PU81,PU82）と、低振幅信号のインバータ（INV16,INV17）を設けている。

【0076】各MOSの結線状況を説明する。プルダウン回路（PD81）はP型MOS（MP88）とN型MOS（MN90,MN91）で構成される。MP88のソースはVDD電源に接続され、MP88のゲートは小振幅信号の入力inに接続され、MP88のドレインはMN91のソースとMN90のドレインに接続される。MN90のソースはVSS電源に接続され、MN90のゲートは小振幅信号の入力inに接続され、MN90のドレインはMP88のドレインとMN91のソースに接続される。MN91のソースはMN90のドレインとMP88のドレインに接続され、MN91のゲートはVDD電源に接続され、MN91のドレインはP型MOS（MP83）のドレインとP型MOS（MP81）のソースに接続される。プルダウン回路（PD82）はP型MOS（MP89）とN型MOS（MN92,MN93）で構成される。MP89のソースはVDD電源に

接続され、MP89のゲートは小振幅信号を受けるインバータINV16の出力に接続され、MP89のドレインはMN93のソースとMN92のドレインに接続される。MN92のソースはVSS電源に接続され、MN92のゲートは小振幅信号を受けるインバータINV16の出力に接続され、MN92のドレインはMP89のドレインとMN93のソースに接続される。MN93のソースはMN92のドレインとMP89のドレインに接続され、MN93のゲートはVDD電源に接続され、MN93のドレインはP型MOS（MP86）のドレインとP型MOS（MP87）のソースに接続される。プルアップ回路（PU81）はN型MOS（MN88）とP型MOS（MP90,MP91）で構成される。MN88のソースはVSS電源に接続され、MN88のゲートは小振幅信号の入力inに接続され、MN88のドレインはMP91のソースとMP90のドレインに接続される。MP90のソースはVDD電源に接続され、MP90のゲートは小振幅信号の入力inに接続され、MP90のドレインはMN88のドレインとMP91のソースに接続される。MP91のソースはMP90のドレインとMN88のドレインに接続され、MP91のゲートはVSS電源に接続され、MP91のドレインはN型MOS（MN82）のドレインとN型MOS（MN81）のソースに接続される。プルアップ回路（PU82）はN型MOS（MN89）とP型MOS（MP92,MP93）で構成される。MN89のソースはVSS電源に接続され、MN89のゲートは小振幅信号を受けるインバータINV16の出力に接続され、MN89のドレインはMP93のソースとMP92のドレインに接続される。MP92のソースはVDD電源に接続され、MP92のゲートは小振幅信号を受けるインバータINV16の出力に接続され、MP92のドレインはMN89のドレインとMP93のソースに接続される。MP93のソースはMP92のドレインとMN89のドレインに接続され、MP93のゲートはVSS電源に接続され、MP93のドレインはN型MOS（MN86）のドレインとN型MOS（MN87）のソースに接続される。

【0077】P型MOS（MP82）はゲートとソースが結線されてP型MOS（MP83）のソースと、P型MOS（MP84）のゲートに接続される。MP82のドレインはMP83のゲートと共にVDD電源に接続される。MP83のゲートは、MP82のドレインと共にVDD電源に接続され、MP83のソースはMP82のゲートとソースおよびMP84のゲートに接続される。MP83ドレインは、MN91のドレインとP型MOS（MP81）のソースに接続される。MP81のゲートはMN81のゲートとともにINV16の出力に接続される。MP81のドレインはMN81のドレインと共に大振幅信号INに接続される。MP84のソースはVBGP電源に接続され、MP84のゲートはMP82のゲートとソース及びMP83のソースに接続される。MP84のドレインはP型MOS（MP85）のソースとゲートに接続されると共にP型MOS（MP86）のソースに接続される。MP85のゲートとソースは結線され、MP84のドレインおよびMP86のソースに接続される。MP86のソースはMP84のドレインおよびMP85のゲートとソースに接続される。MP86のゲートはMP85のドレインと接続されると共に、VDD電源に接続される。MP86のドレインはMN93のドレインおよびMP87のソースに接続

される。MP87のゲートはMN87のゲートと共にINV17の出力に接続され、MP87のドレインはMN87のドレインと共に出力OUTに接続される。MP87のソースは、MN93のドレインおよびMP86のドレインに接続される。

【0078】N型MOS (MN82) はゲートとソースが結線されてN型MOS (MN83) のソースと、N型MOS (MN84) のゲートに接続される。MN82のドレインはMN83のゲートと共にVSS電源に接続される。MN83のゲートは、MN82のドレインと共にVSS電源に接続され、MN83のソースはMN82のゲートとソースおよびMN84のゲートに接続される。MN83ドレインは、MP91のドレインとMN81のソースに接続される。MN81のゲートはMP81のゲートとともにINV16の出力に接続される。MN81のドレインはMP81のドレインと共に大振幅信号INに接続される。MN84のソースはVBGN電源に接続され、MN84のゲートはMN82のゲートとソース及びMN83のソースに接続される。MN84のドレインはN型MOS (MN85) のソースとゲートに接続されると共にN型MOS (MP86) のソースに接続される。MN85のゲートとソースは結線され、MN84のドレインおよびMN86のソースに接続される。MN86のソースはMN84のドレインおよびMN85のゲートとソースに接続される。MN86のゲートはMN85のドレインと接続されると共に、VSS電源に接続される。MN86のドレインはMP93のドレインおよびMN87のソースに接続される。MN87のゲートはMP87のゲートと共にINV17の出力に接続され、MN87のドレインはMP87のドレインと共に出力OUTに接続される。MN87のソースは、MP93のドレインおよびMN86のドレインに接続される。

【0079】ここで各MOSの基板電位について述べる。MP81の基板電位はMP81のソースと等しく、MP83とMP82の基板電位はMP82のソースと等しく、MP84の基板電位はVBGP電位に等しく、MP85とMP86の基板電位はMP85のソース電位に等しく、MP87の基板電位はMP87のソース電位と等しく、MP91の基板電位はMP91のソース電位と等しく、MP93の基板電位はMP93のソース電位と等しく、MP88, MP89, MP90, MP92の基板電位はVDD電位と等しい。MN81の基板電位はMN81のソースと等しく、MN83とMN82の基板電位はMN82のソースと等しく、MN84の基板電位はVBGN電位に等しく、MN85とMN86の基板電位はMN85のソース電位に等しく、MN87の基板電位はMN87のソース電位と等しく、MN91の基板電位はMN91のソース電位と等しく、MN93の基板電位はMN93のソース電位と等しく、MN88, MN89, MN90, MN92の基板電位はVSS電位と等しい。

【0080】また、MP81, MP83, MP86, MP87, MN81, MN83, MN86, MN87は標準しきい値MOSで構成しても良いが、低電圧動作の観点から低しきい値MOSで構成することが効果的である。また、MP81, MN81, MP87, MN87のみ低しきい値化しても効果がある。ここでも、標準しきい値MOSのしきい値電圧はたとえば0.35Vであり、低しきい値MOSのしきい値電圧はたとえば0.25Vである。また、上記低しきい値MOSの代用として上記標準しきい値MOSのゲート長と比

べて相対的に短いゲート長の標準しきい値MOSを用いることも効果がある。これは、ゲート長が短くなることで実効的にしきい値電圧が小さくなることを用いている。この場合、使用するMOSが標準しきい値MOSのみで良いため、製造コストが低く抑えられる効果がある。

【0081】図19は図18に示した実施例の各ノードにおける動作波形を示した図である。この回路においては、大振幅入力信号INと小振幅入力信号inのハイレベルおよびロウレベルの組み合わせに制限がある。これは、図18に記載の実施例において、構成する薄膜MOSの最大印加電圧をVDDに抑えるために必須である。まず、小振幅入力信号inがVSSレベルであり、大振幅入力信号INがVBGPレベルにある場合について説明する。このときPD81において、MP88がオンしMN90がオフするのでノードnd89はVDDレベルになる。これと同時に、PU81においては、MN88がオフしMP90がオンするので、ノードnd90はVDDレベルになる。ノードnd90がVDDレベルになると、MP91がオンしているのでノードnd82はVDDレベルになる。このとき、INV16の出力ノードnd93はVDDレベルにあり、大振幅入力信号INがVBGPレベルにあるので、MN81はオフし、MP81はオンする。その結果、ノードnd81はVBGPレベルになる。このときMP83もゲート電圧がVDDであるためオン状態となり、ノードnd85もVBGPレベルになる。ノードnd85がVBGPレベルになると、MP84がオフする。一方、ノードnd82がVDDレベルになると、MN82はオフとなりノードnd88はMN83によってVSSレベルになる。ノードnd88がVSSレベルになるとMN84がオンしてノードnd87がVBGNレベルになる。ノードnd87がVBGNレベルになるとMN86がオンしてノードnd84がVBGNレベルになる。さらに、PD82においてはINV16の出力ノードnd93がVDDレベルになっているので、MP89がオフしMN92がオンする。そのため、ノードnd91はVSSレベルになる。ノードnd91がVSSレベルになるとMN93がオンするので、ノードnd83はVSSレベルになる。これと同時に、PU82においてはINV16の出力ノードnd93がVDDレベルになっているので、MP92がオフしMN89がオンする。その結果、ノードnd92はVSSレベルになる。ノードnd92がVSSレベルになるとMP93がオフする。ノードnd83がVSSレベルになっているので、MP86はオフ状態にあり、MP85によってノードnd86はVDDレベルになる。このときINV17の出力ノードnd94はVSSレベルであるので、MN87はオンして出力ノードOUTはVBGNレベルになり、MP87はオフする。

【0082】次に、小振幅入力信号inがVDDレベルであり、大振幅入力信号INがVBGNレベルにある場合について説明する。このときPD81において、MP88がオフしMN90がオンするのでノードnd89はVSSレベルになる。ノードnd89がVSSレベルになると、MN91がオンしているのでノードnd81はVSSレベルになる。これと同時に、PU81においては、MN88がオンしMP90がオフするので、ノードnd90はVSSレベルになる。また、PD82においてはINV16の出力ノード

ドnd93がVSSレベルになっているので、MP89がオンしMN92がオフする。そのため、ノードnd91はVDDレベルになる。これと同時に、PU82においてはノードnd93がVSSレベルになっているので、MP92がオンしMN89がオフする。そのため、ノードnd92はVDDレベルになる。ノードnd92がVDDレベルになるとMN93がオンするので、ノードnd84はVDDレベルになる。このとき、INV16の出力ノードnd93はVSSレベルにあり、大振幅入力信号INがVBGNレベルにあるので、MN81はオンし、MP81はオフする。その結果、ノードnd82はVBGNレベルになる。このときMN83もオン状態なので、ノードnd88もVBGNレベルになる。ノードnd88がVBGNレベルになると、MN84がオフする。ノードnd84がVSSレベルになっているので、MN86はオフ状態にあり、MN85によってノードnd87はVSSレベルになる。一方、ノードnd81がVSSレベルになると、MP83はオフとなりノードnd85はMP82によってVDDレベルになる。ノードnd85がVDDレベルになるとMP84がオンしてノードnd86がVBGPレベルになる。ノードnd86がVBGPレベルになるとMP86がオンしてノードnd83がVBGPレベルになる。このときINV17の出力ノードnd94はVDDレベルであるので、MP87はオンして出力ノードOUTはVBGPレベルになり、MN87はオフする。

【0083】本実施例においては、すべてのMOSについて、ソース-ドレイン、ドレイン-ゲート、ゲート-ソース間の各電圧は最大VDDとなる。したがって、高振幅信号を扱うにもかかわらず、構成するMOSはすべて耐圧の低い薄膜のMOSで構成することが可能となる。薄膜MOSは低電圧でも高速に動作するため、本実施例は低電圧下でも動作できる効果がある。そのため本実施例は、高振幅信号へのレベル変換に、低い耐圧の薄膜MOSのみで構成された回路を用いていることが特徴である。したがって、テクノロジーが進歩した場合に、同一の回路構成でよい場合、新たに設計しなおす必要が無く、設計期間の短縮が図れるという効果がある。

＜実施例8＞図20は図1に示したレベル変換回路の変形例である。この回路は、入力側の電源遮断時に不定信号が入力することによる貫通電流を避けるための制御方法として、レベル変換部と遷移検出回路にスイッチを設けていることが特徴である。図1と異なる点は、リセット回路RSCを構成するPMOS MP11と入力部のNANDの代わりに、レベル変換部LSCにPMOS MP101によるスイッチと、遷移検出回路TDにNMOS MN101をそれぞれ設け、リセット時のレベル確定用にPMOS MP102を設けて構成されていることである。なお、この実施例には、VDD電源の更なる低電圧化に有効な対策として、インバータINV25とインバータINV27でそれぞれ独立にi1、/i1に接続している。これにより、容量素子を効率良く駆動する効果がある。この方法は、本実施例のみに適用できるのではなく、前出の図1の実施例にも適用可能である。

【0084】さらに、接地レベル（VSS、VSSQ）の接続

方法が異なり、遷移検出回路TDより後段で接地レベルはVDDQに対する接地レベルVSSQになっている。これは、比較的ノイズ量の多いVSSQと内部回路の接地レベルVSSとをレベル変換部の相補出力部にてレベルを整合する構成である。これによりレベル変換回路のノイズ耐性が高まる効果がある。この方法も、本実施例のみに適用できるのではなく、前出の図1の実施例、図4の実施例にも適用できる。その他のレベル変換部LSCの構成と遷移検出回路TDの構成は図1の実施例と同一である。

【0085】ここではリセット信号の制御についてのみ説明する。リセット信号/RESがHIの場合、MP101、MN101は共にオンであり、MP102はオフであるため、レベル変換部LSCおよび遷移検出回路TDは図1の実施例における/RESがHIの場合と同様の動作をする。一方、リセット信号/RESがロウになると、MP101、MN101は共にオフとなり、MP102はオンするので、出力はロウに固定される。このとき、レベル変換部LCおよび遷移検出回路TDはスイッチMOSでオフになっているため、VDD側が遮断されることで入力信号が中間値をとっても、レベル変換部および遷移検出回路に貫通電流が流れる心配はない。

【0086】ここで、レベル変換部にPMOSのスイッチを備えることの利点を説明する。PMOSのスイッチを備える利点は、NMOSのスイッチよりも構成面積が小さくできることである。レベル変換部は、NMOSサイズをPMOSサイズに比較して大きくする必要があり、NMOSスイッチを設置する場合は非常に大きな面積を必要とするからである。また、NMOSスイッチを設けると、電源遮断時にレベル変換部の内部ノードは、リーク電流によりVDDQ側へ浮き上がることが予想される。そのため、薄膜MOSを一部使用している本レベル変換回路は、電源遮断時に薄膜MOSの耐圧を超えてしまう恐れがある。PMOSスイッチにすれば、内部のノードが電源遮断時にフローティングになっても、VDDQを超えて上昇することは考えられず、通常動作で耐圧が保証されていれば、電源遮断時の耐圧も保証できるからである。

【0087】遷移検出回路TDはNMOSスイッチを設けているが、これは、リセット信号で出力をロウレベルに固定するためである。リセット信号でハイレベルに固定するのであれば、PMOSスイッチとし、MP102が接続されているノードにNMOSでプルダウンしても良い。

【0088】

【発明の効果】本実施例では、レベル変換部を2種の酸化膜厚のMOSで構成し、耐圧の低い薄膜MOSへの印加電圧を緩和するための耐圧緩和用MOSに低しきい値MOSを用いることで、入力信号の電源電圧が1V以下といった低い値に設定されても高速に変換できる効果がある。また、耐圧緩和用MOSのゲートを変換時に昇圧する回路を設けることで、入力信号がさらに低電圧化した場合でも高速に変換できる効果がある。さらに、波形整形部TDはレベル変換回路の差動出力のうち、早く遷移する信号を検知し

て、後段に論理が変換したことが伝達できるので、信号の高速伝達が可能となる効果がある。

【図面の簡単な説明】

【図1】第1の実施例を示す図。

【図2】本明細書で用いるMOSFETの記号を説明する図。

【図3】第1の実施例における主要ノードの動作波形を示す図。

【図4】第2の実施例を示す図。

【図5】第2の実施例における主要ノードの動作波形を示す図。

【図6】図1のレベル遷移検出回路の動作波形を示す図。

【図7】レベル遷移検出回路の別の実施例を示す図。

【図8】図7のレベル遷移検出回路の主要ノードの動作波形図。

【図9】第2の実施例の主要部を説明する図。

【図10】電源VBGPと電源VSS間を遷移する信号を電源VBGPと電源VBGN間を遷移する信号に変換するレベル変換回路の1実施例を説明する図。

【図11】図10のレベル変換回路の実施例における主要ノードの動作波形を示す図。

【図12】電源VBGPと電源VSS間を遷移する信号を電源VBGPと電源VBGN間を遷移する信号に変換するレベル変換回路の別実施例を説明する図。

【図13】図12のレベル変換回路の実施例における主

要ノードの動作波形を示す図。

【図14】電源VBGPと電源VBGN間を遷移する信号を伝達するインバータの1実施例を示す図。

【図15】図14のレベル変換回路の実施例における主要ノードの動作波形を示す図。

【図16】電源VDDと電源VSS間を遷移する信号を電源VBGPと電源VBGN間を遷移する信号に変換するレベル変換回路の1実施例を説明する図。

【図17】図16のレベル変換回路の実施例における主要ノードの動作波形を示す図。

【図18】電源VBGPと電源VBGN間を遷移する信号を伝達するインバータの別の実施例を示す図。

【図19】図18のレベル変換回路の実施例における主要ノードの動作波形を示す図。

【図20】図1のレベル変換回路の変形例を示す実施例の図。

【符号の説明】

MP…P型MOSトランジスタ、MN…N型MOSトランジスタ、LS C…レベル変換部、TD…遷移検出回路、RSC…リセット回路、GBST…ゲートブースト回路、LKP…リーク保証回路、SL…スレーブラッチ回路、INV…インバータ、RSFF…RS・フリップ・フロップ回路、ORND…論理和と論理否定積の機能を有する複合ゲート、ND…論理否定積回路、PD…プルダウン回路、PU…プルアップ回路。

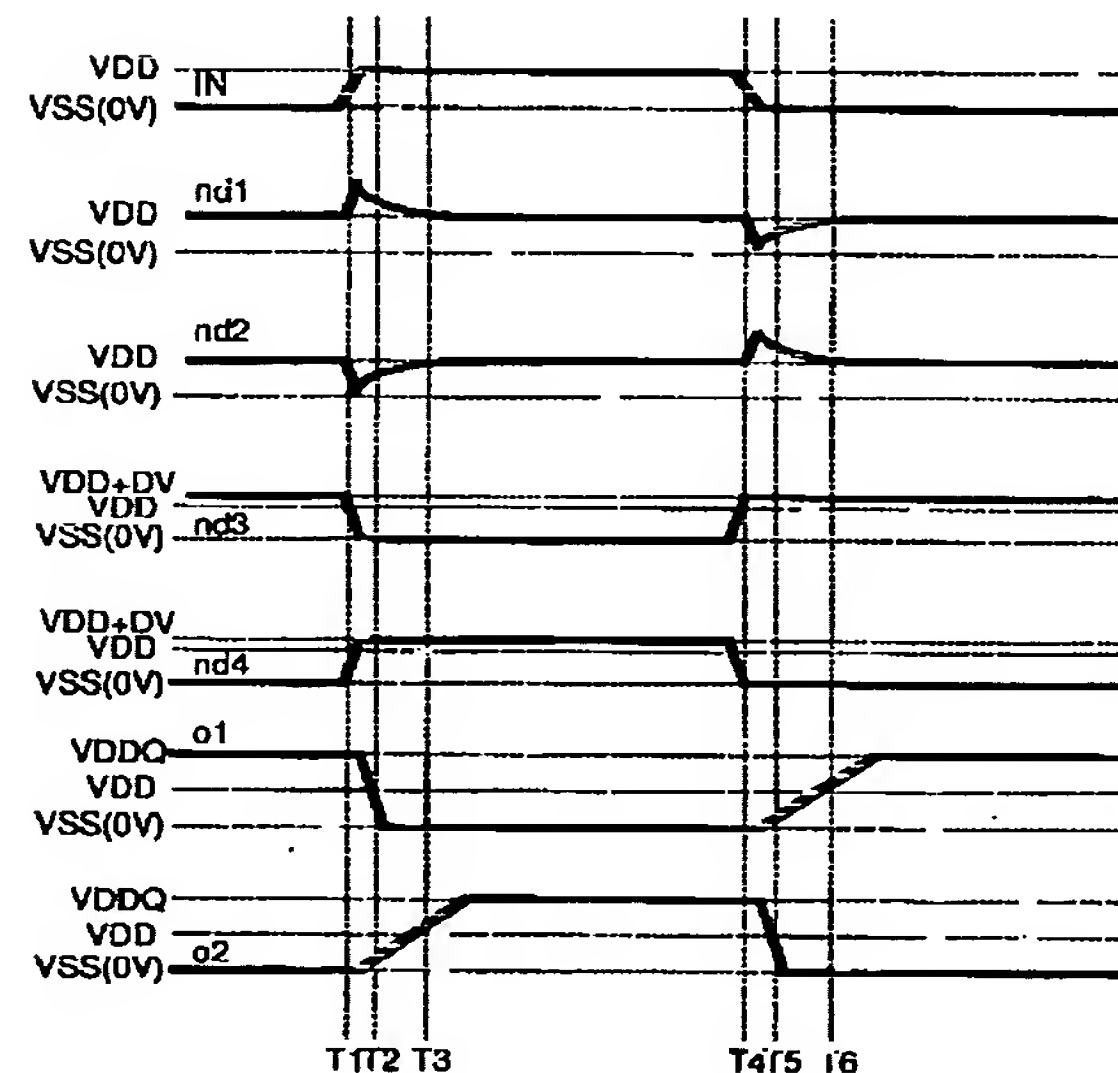
【図2】

図2

	P型MOS	N型MOS	P型MOS	N型MOS
厚膜MOS (高耐圧)				
薄膜MOS (低耐圧)				
	標準閾値MOS		低閾値MOS	

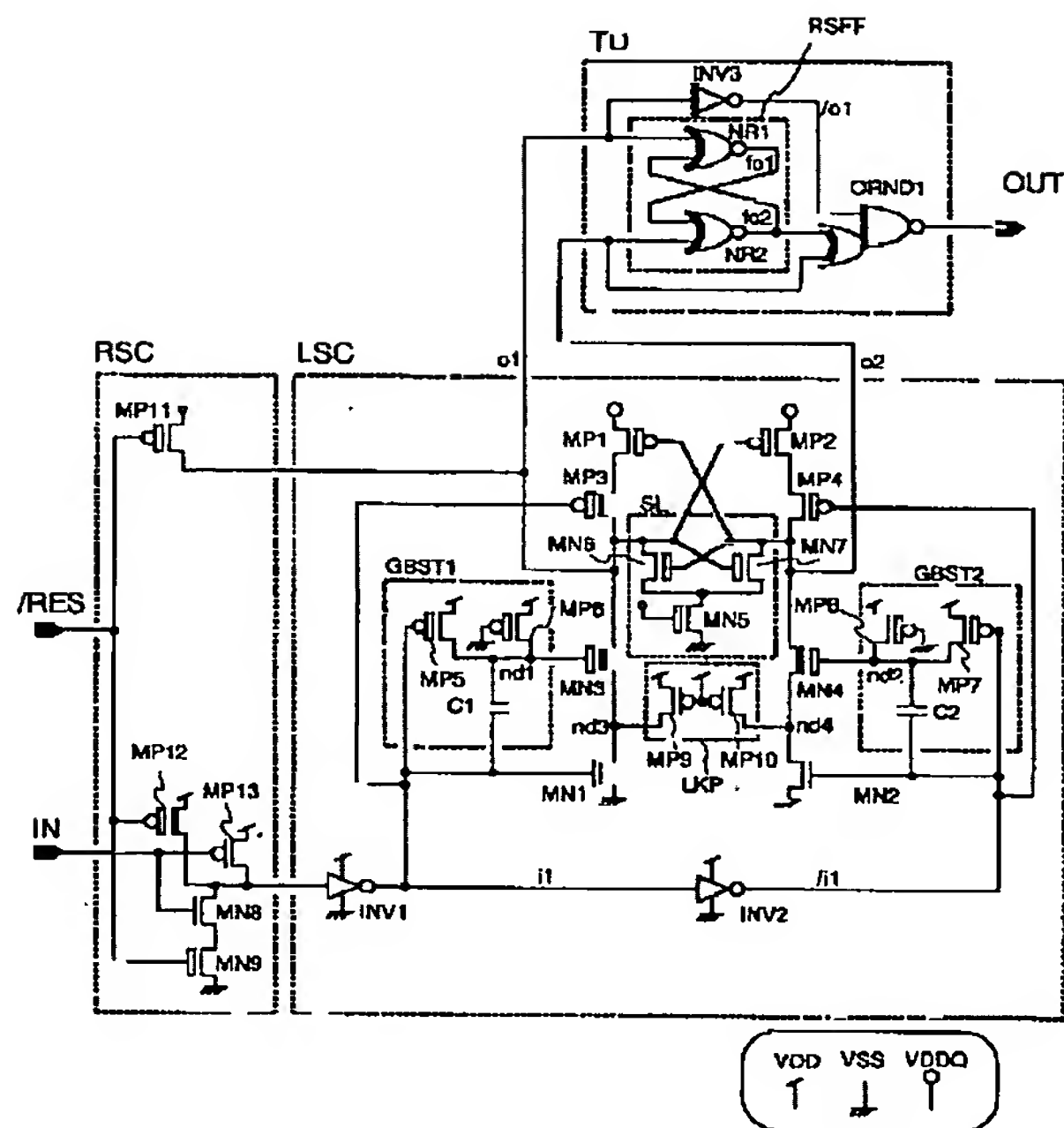
【図3】

図3



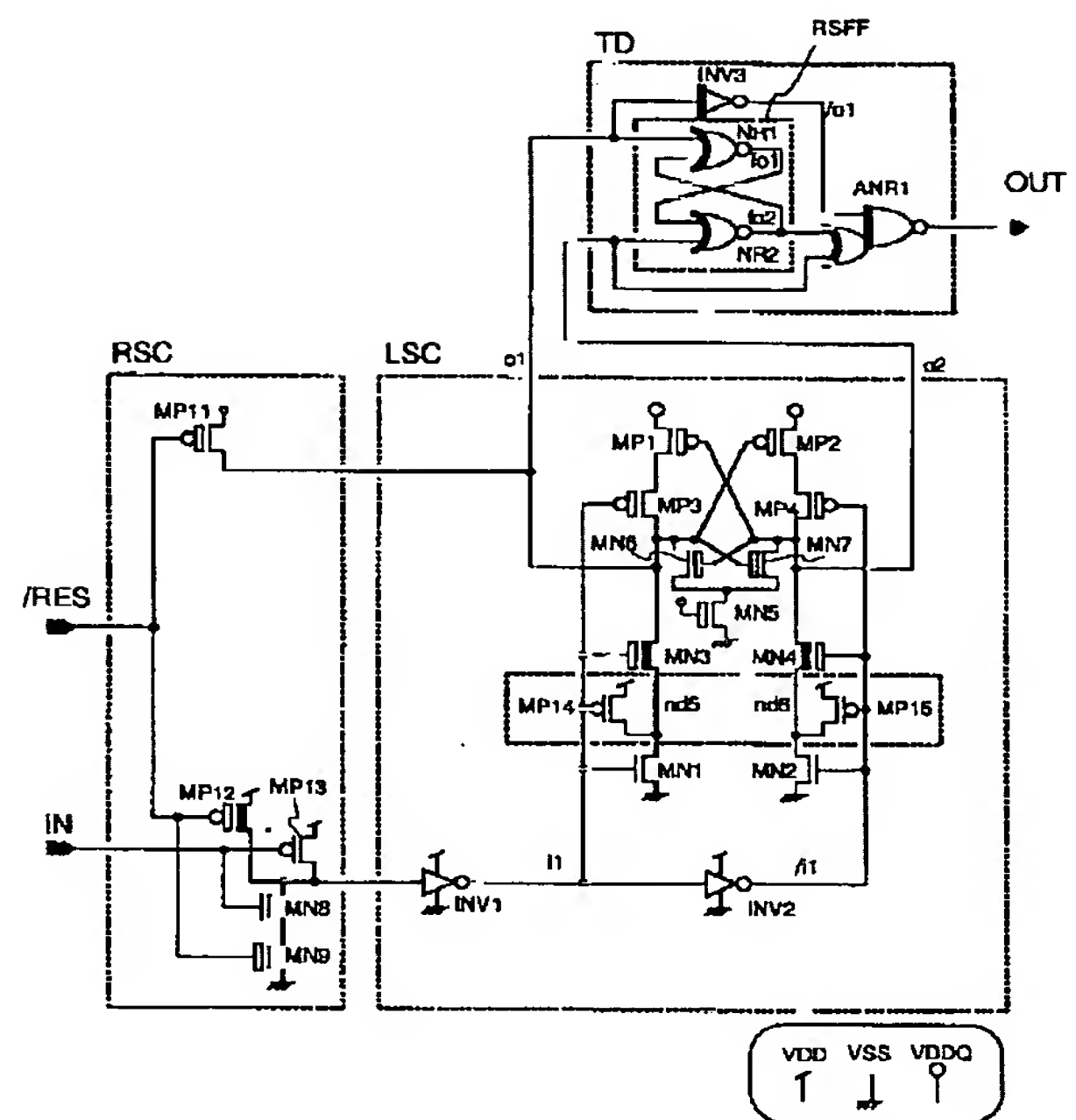
【☒ 1】

图 1



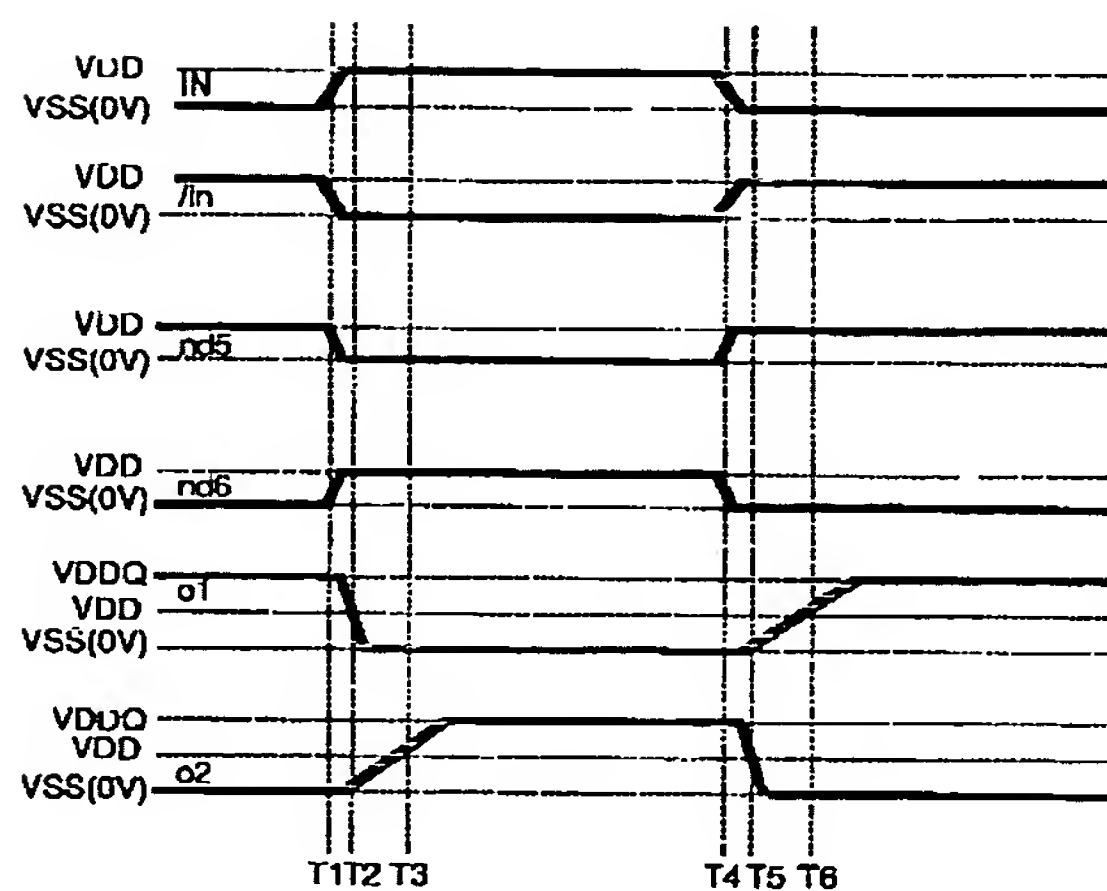
【図4】

図 4



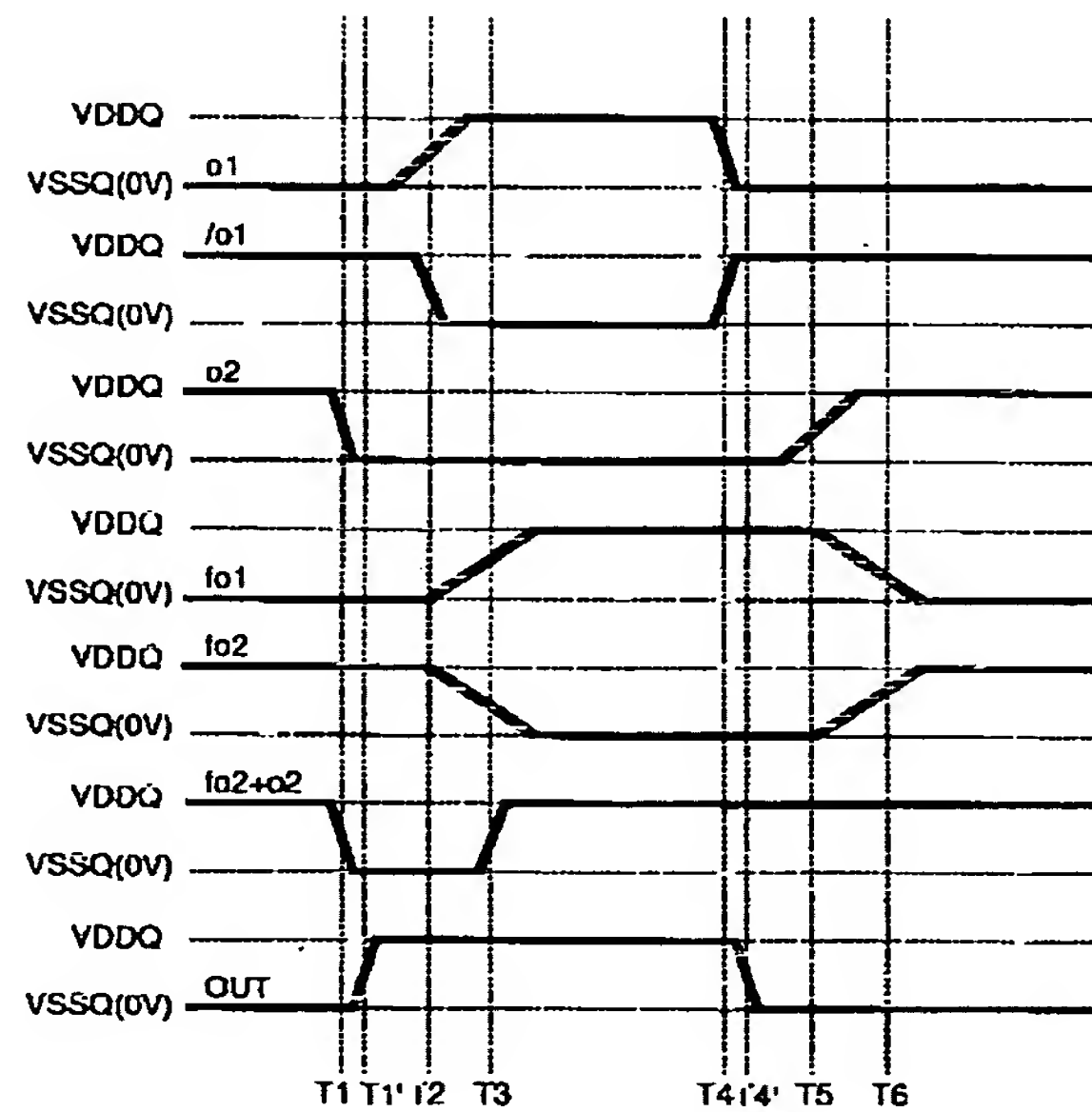
【図5】

图 5



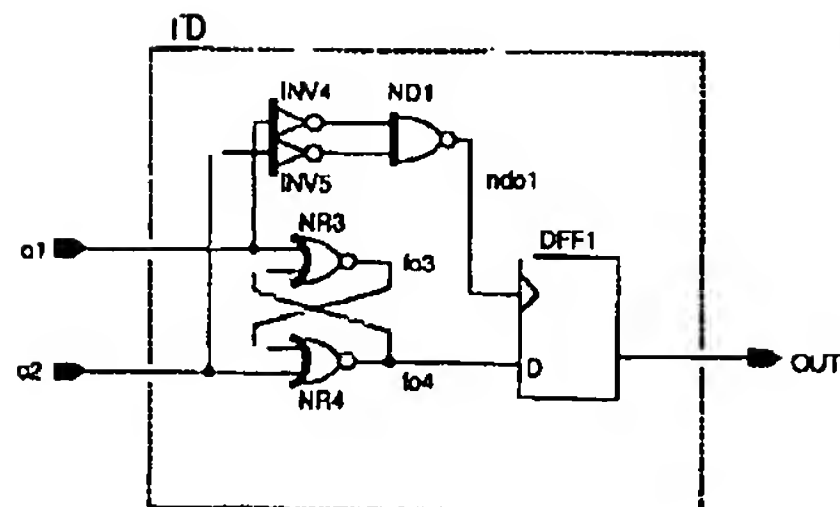
【図6】

图 6



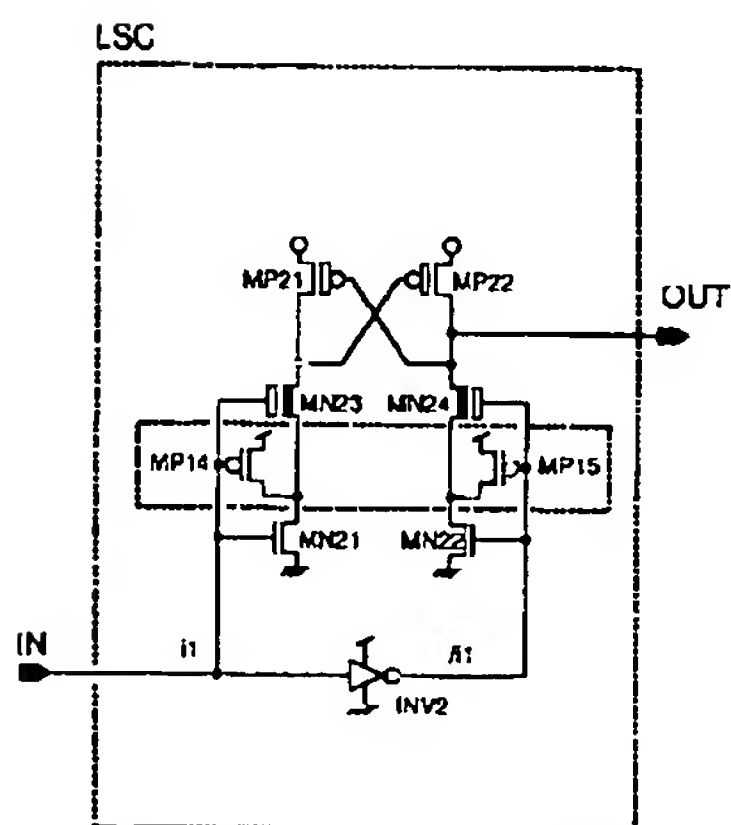
【図7】

图 7



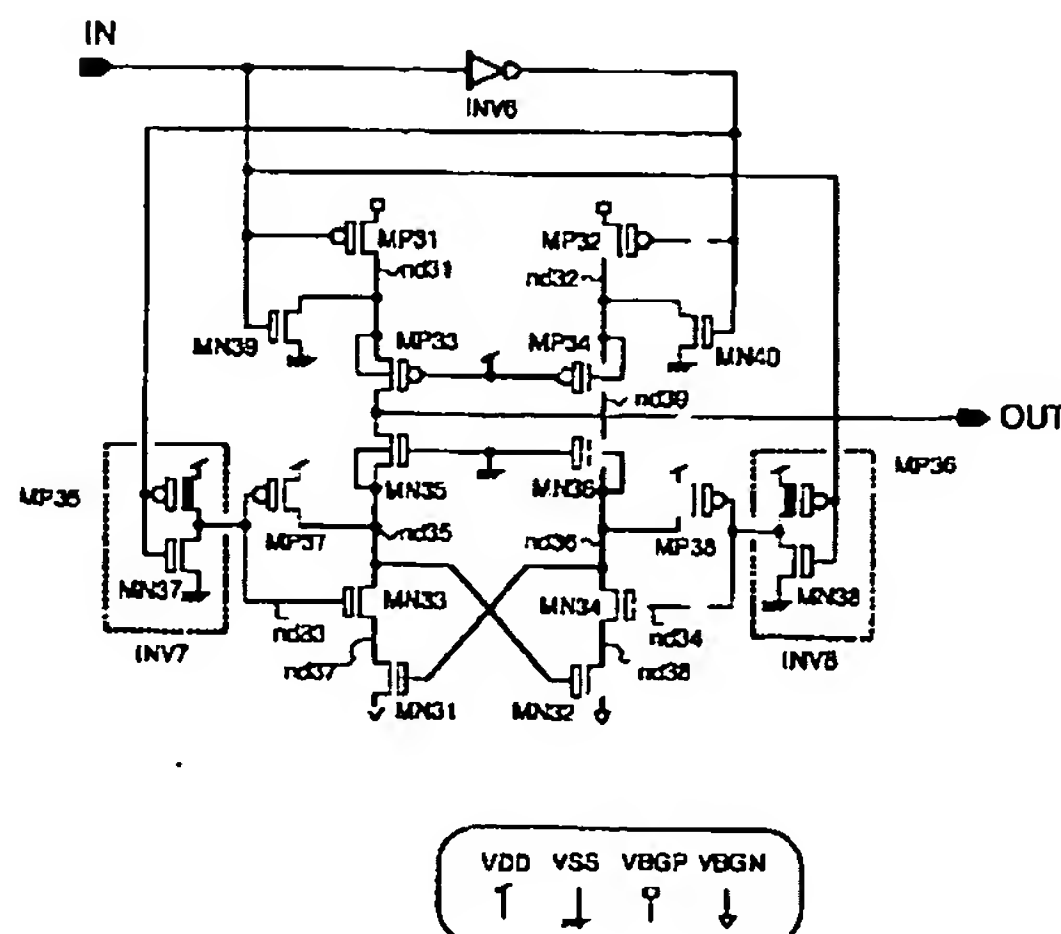
【図9】

图 9



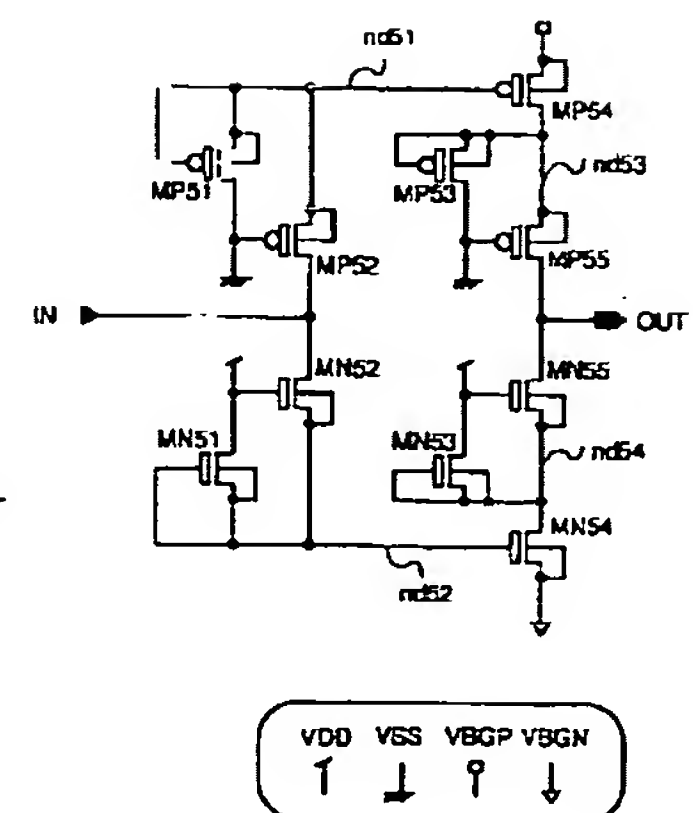
【図10】

图 10



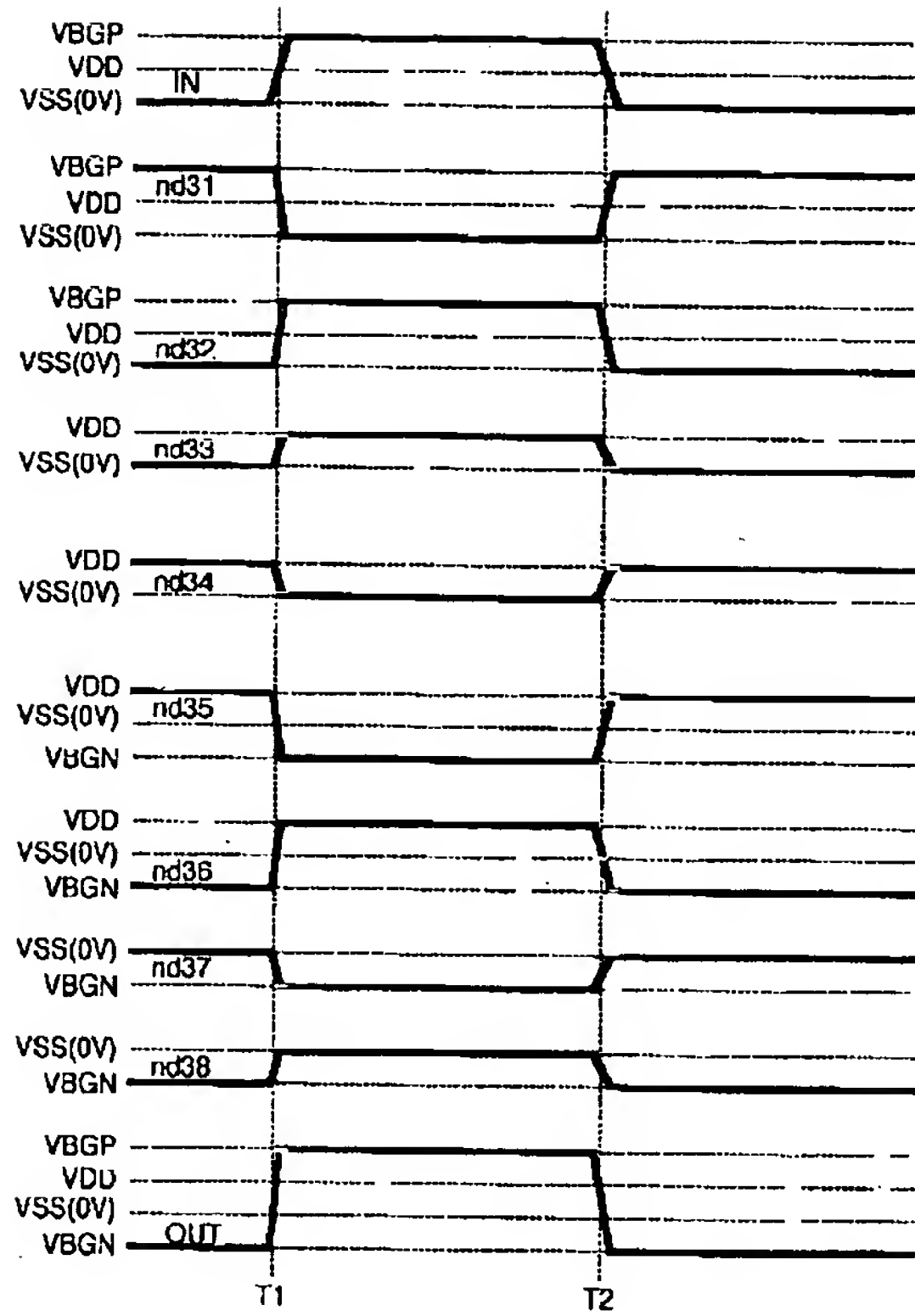
【図14】

图 14



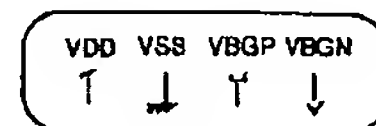
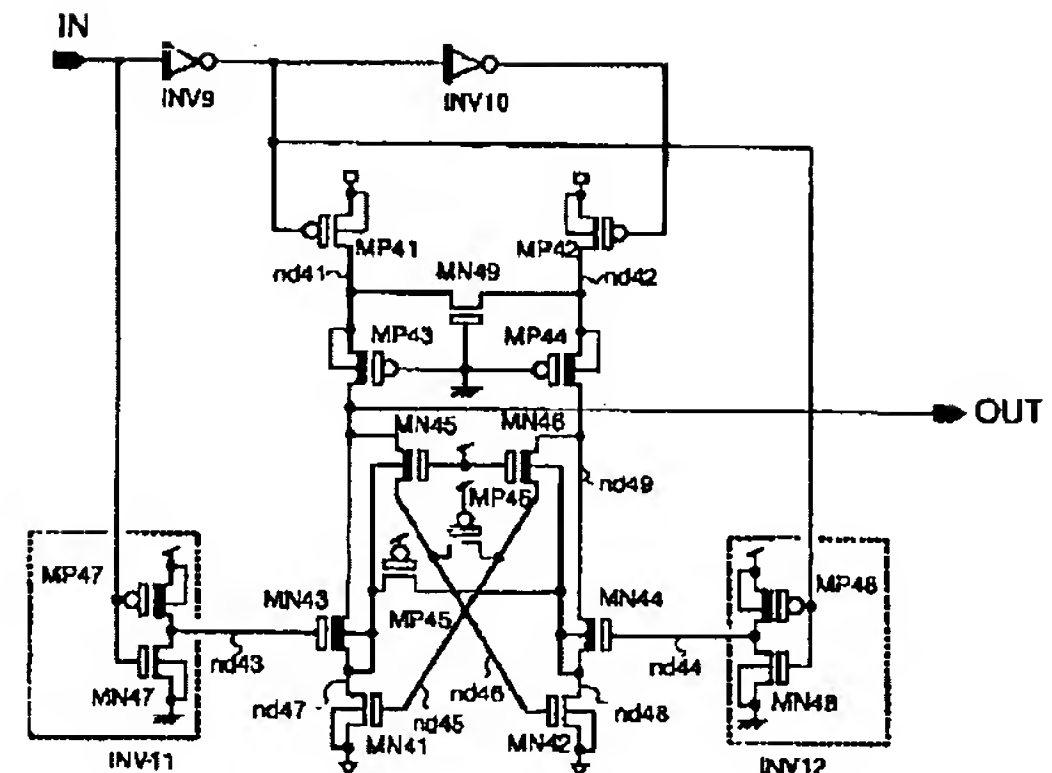
【図11】

図11



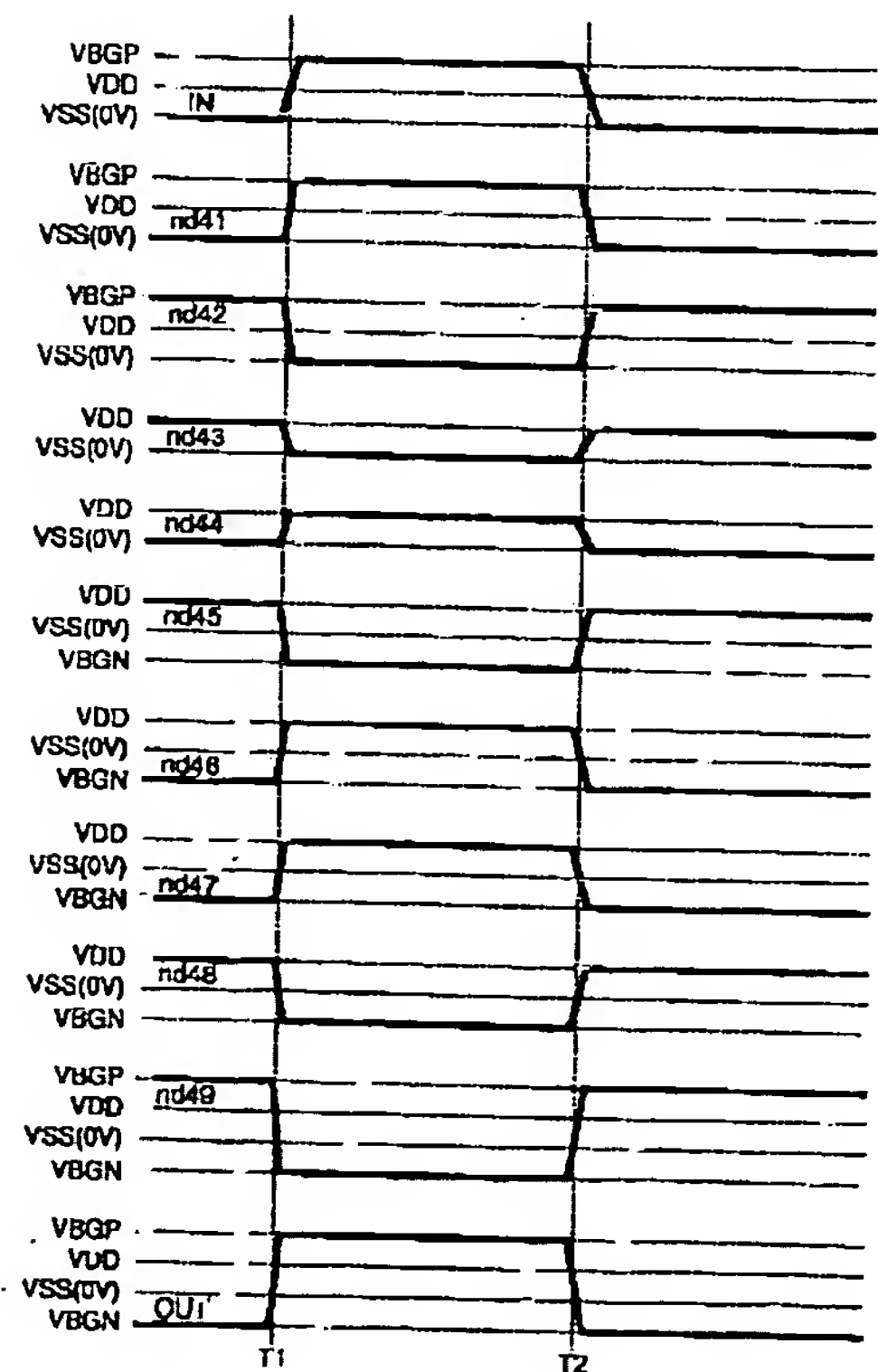
【図12】

図12



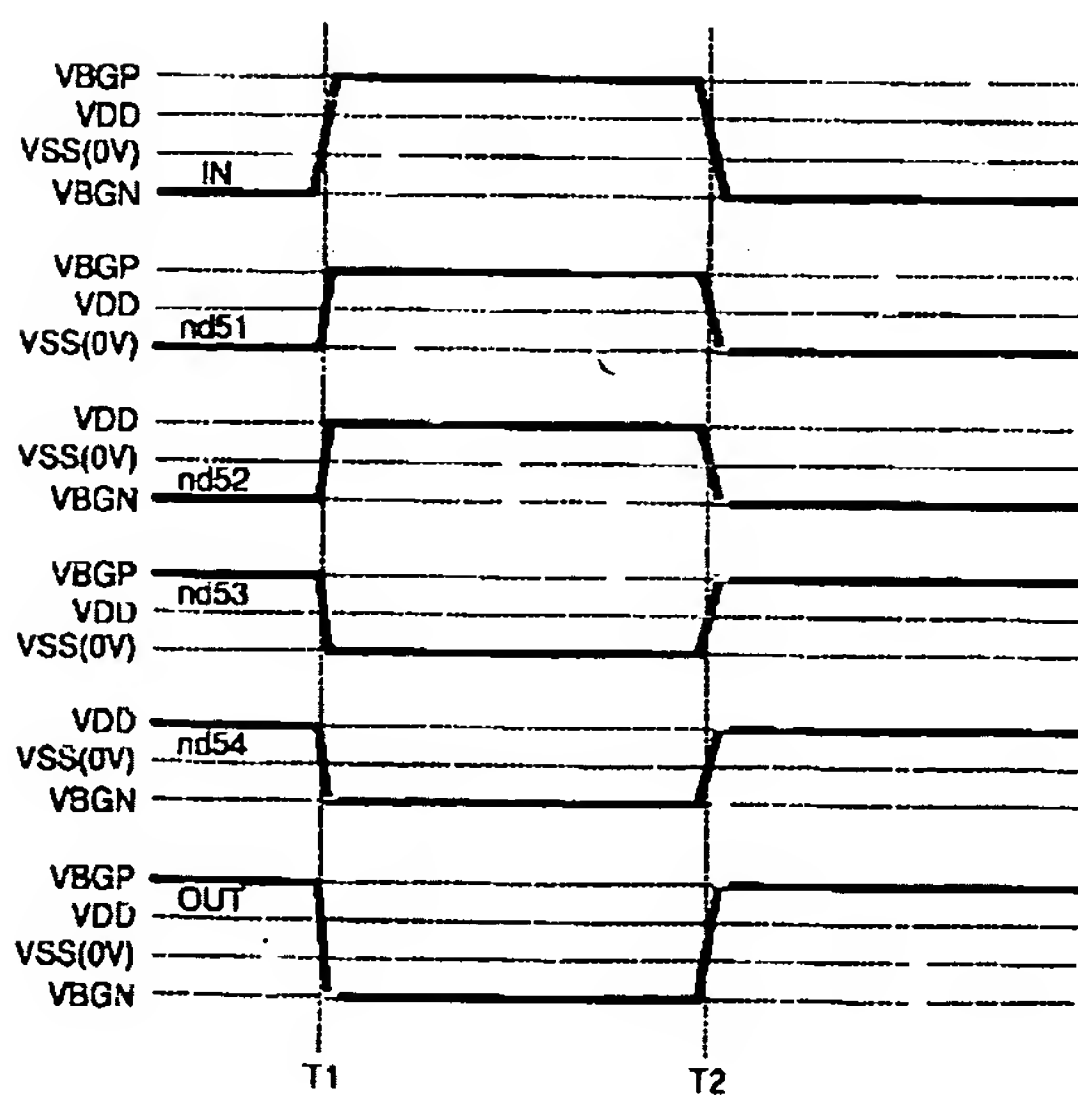
【図13】

図13



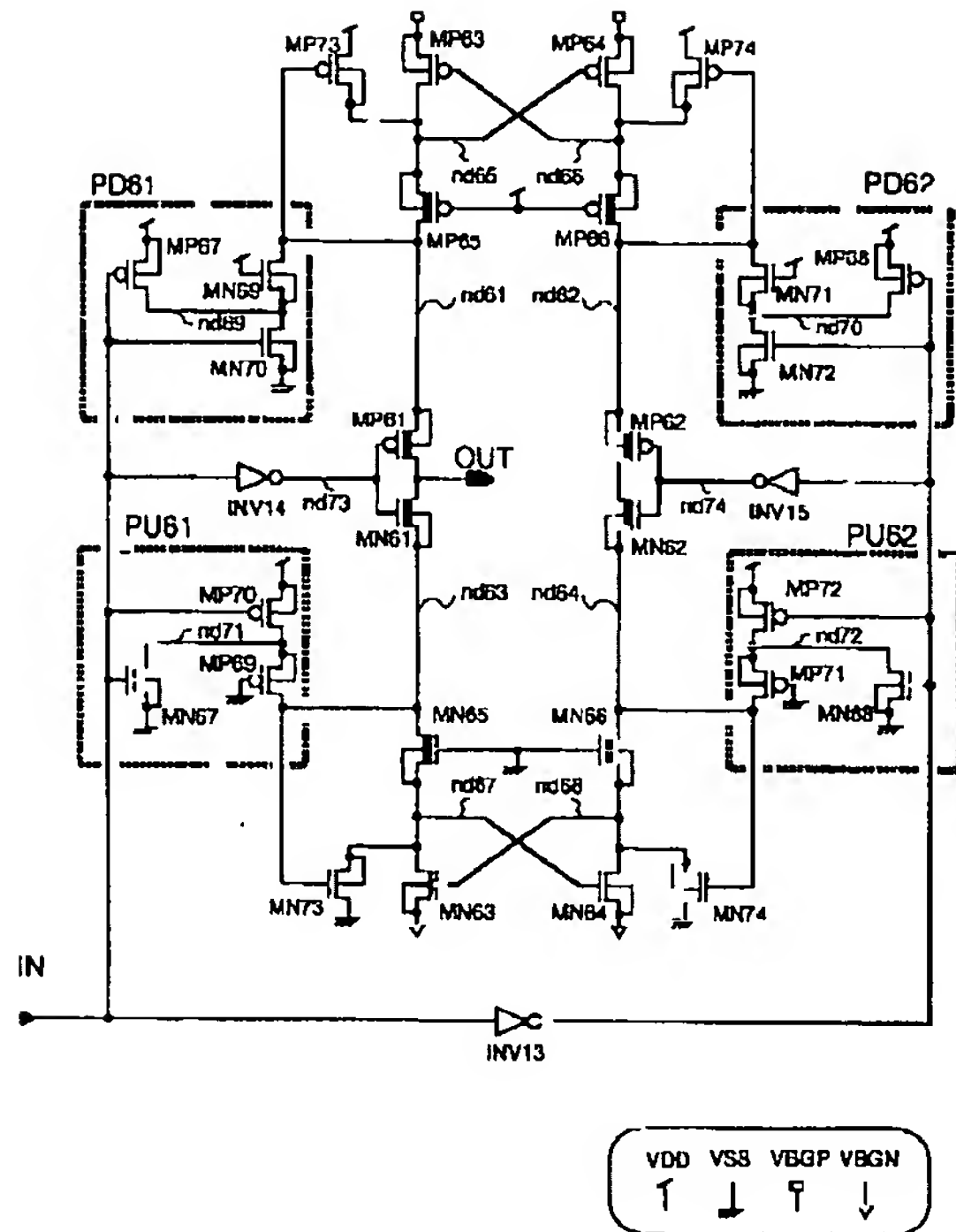
【図15】

図15



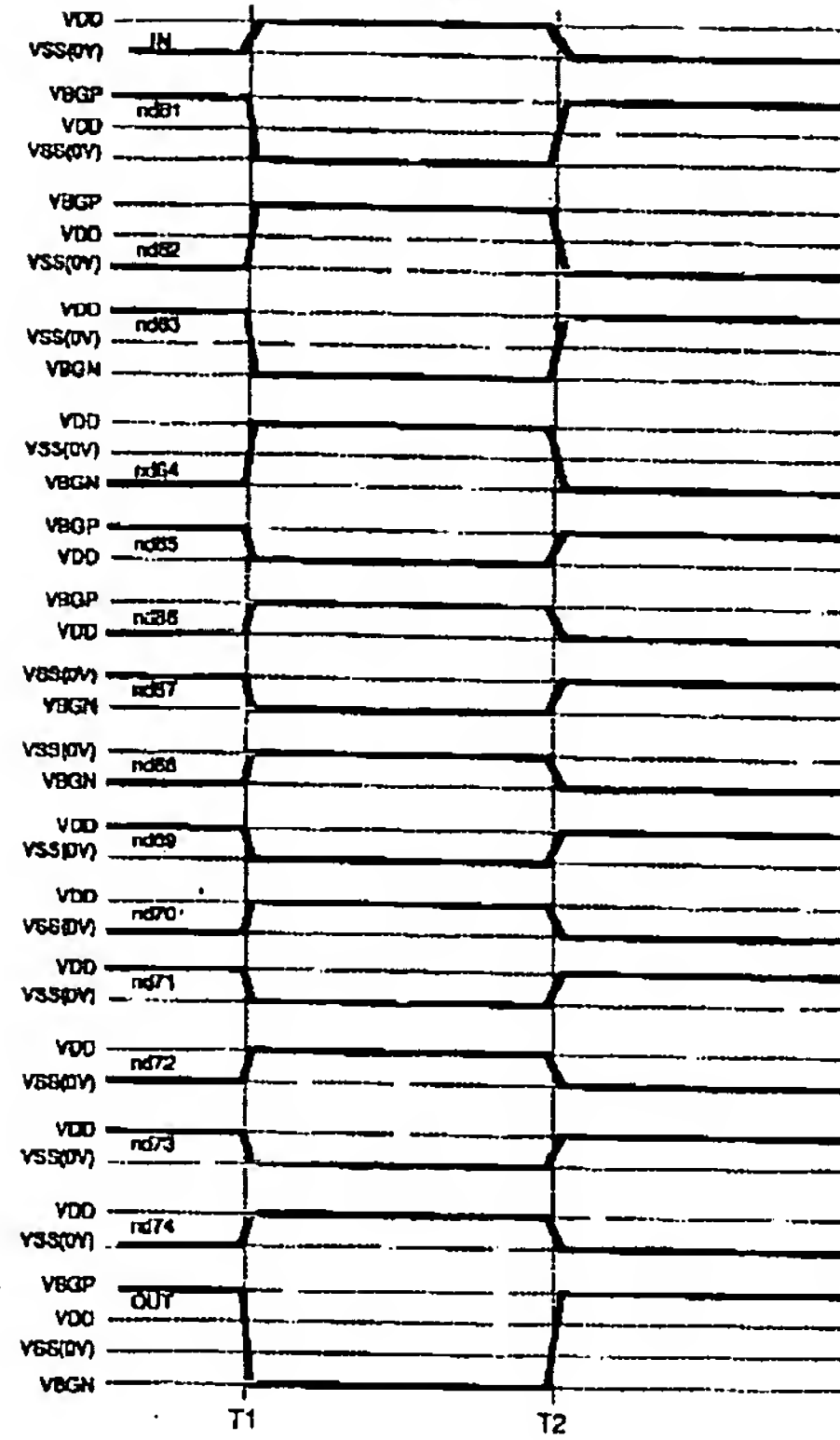
【図16】

図16



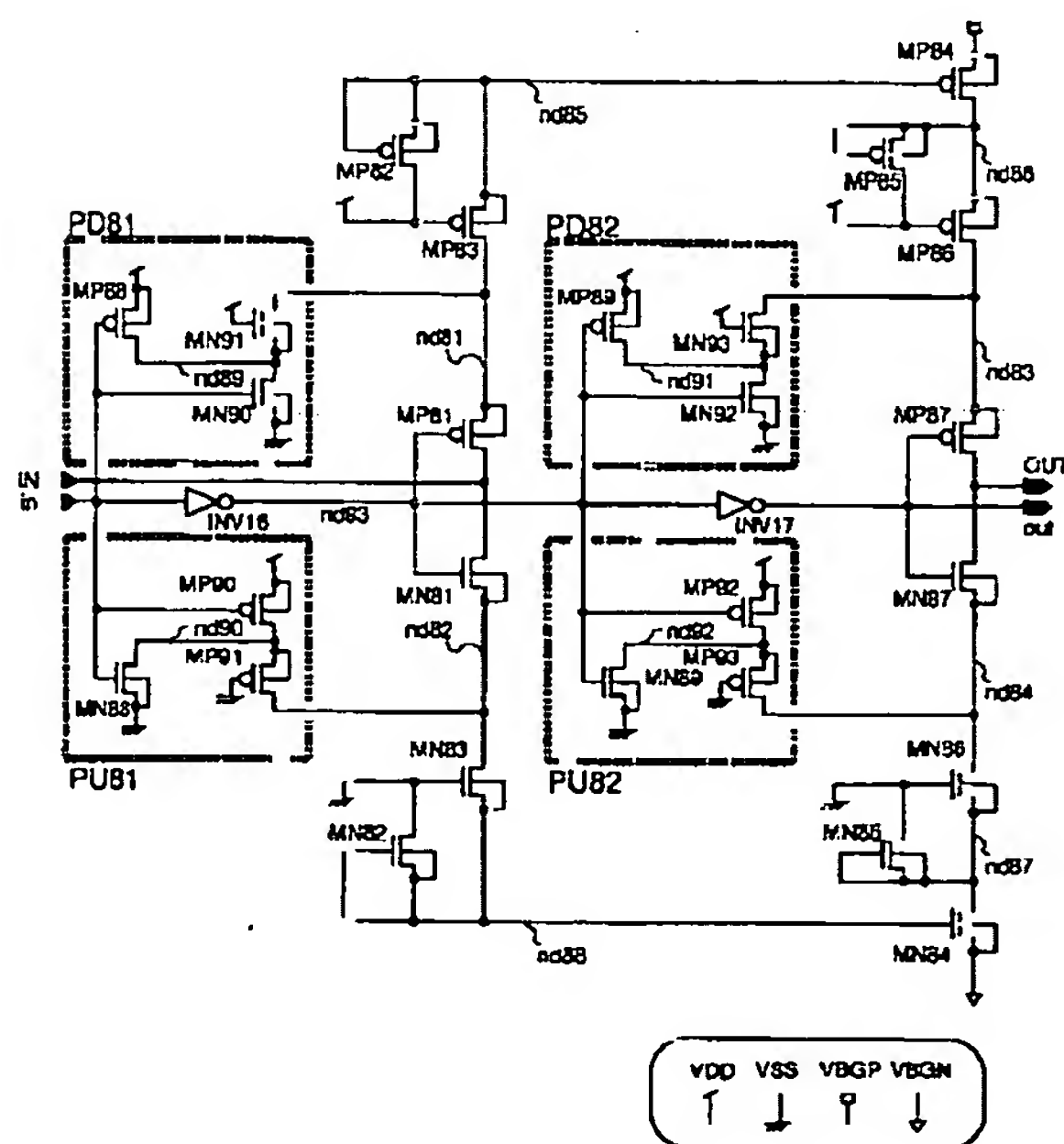
【図17】

図17



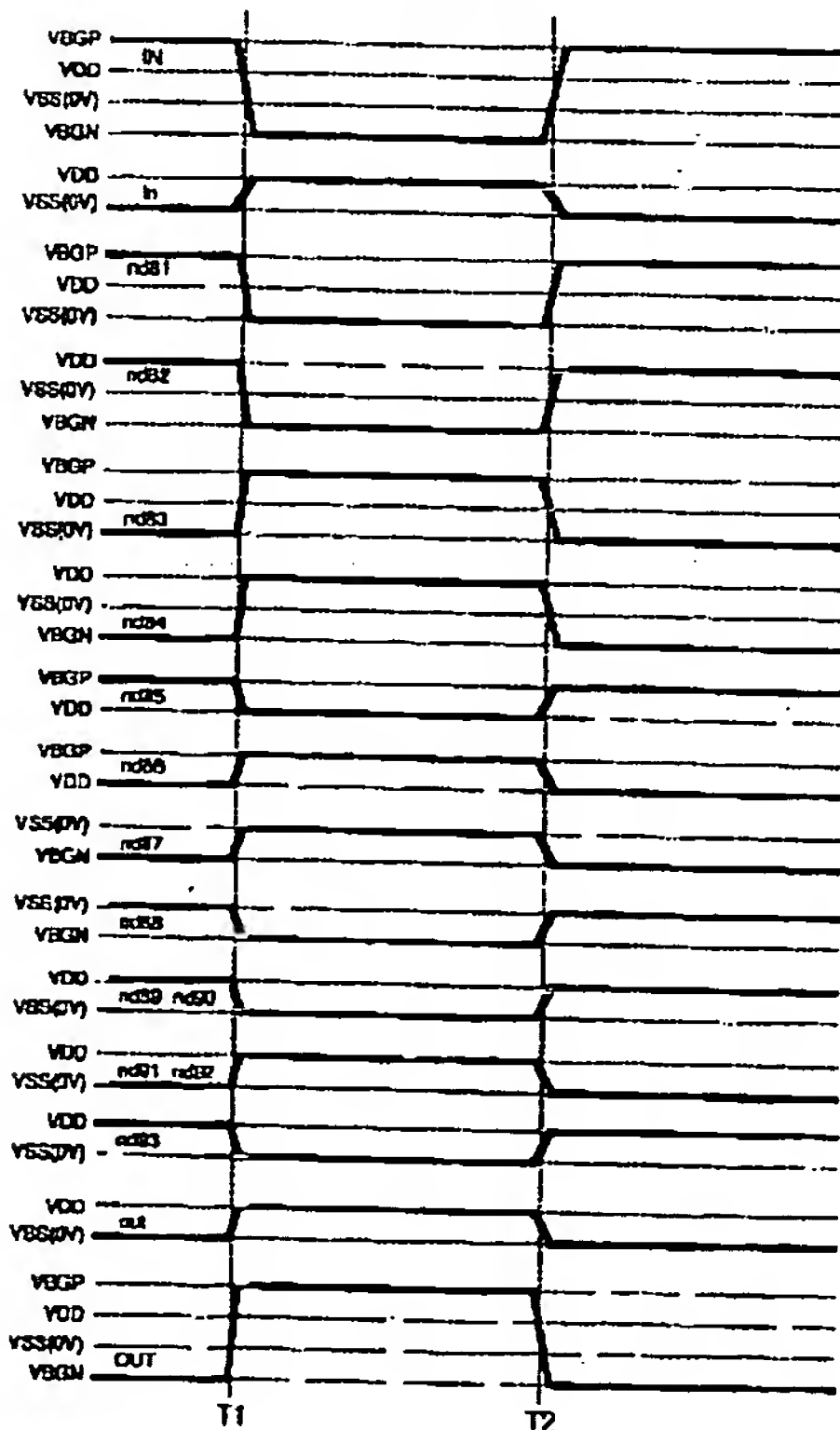
【図18】

図18



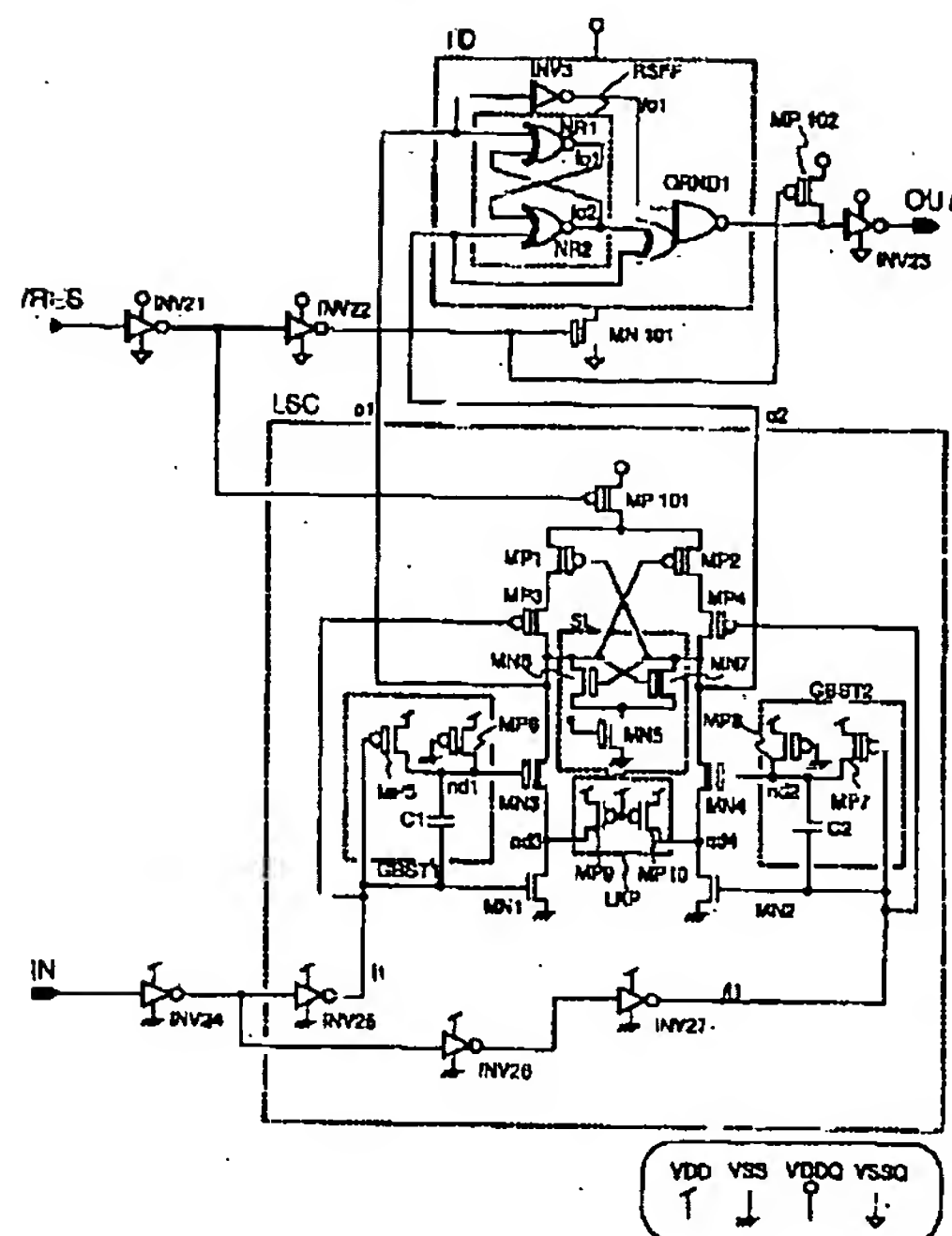
【図19】

図19



【図20】

図20



フロントページの続き

(51)Int. Cl.⁷
H03K 19/0185

識別記号

F I

(参考)

(72)発明者 柳沢 一正
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

F ターム(参考) 5F038 CA06 EZ20
5F048 AB04 AC03 BB16
5F064 BB07 BB19 BB30 CC12 DD33
GG00
5J056 AA11 BB07 CC00 CC14 CC21
CC29 DD13 DD16 DD29 DD51
EE06 EE11 FF07 FF08 GG09
KK01